



(19)

Generated Document

(11) Publication number:

2000235376 A

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 11257555

(51) Intl. Cl.: G09G 3/36 G02F 1/133 G02F 1/1345 G09G 3/20

(22) Application date: 10.09.99

(30) Priority: 16.12.98 JP 10357970

(43) Date of application publication: 29.08.00

(84) Designated contracting states:

(71) Applicant: SHARP CORP

(72) Inventor: ORISAKA YUKIHISA  
OGAWA YOSHINORI

(74) Representative:

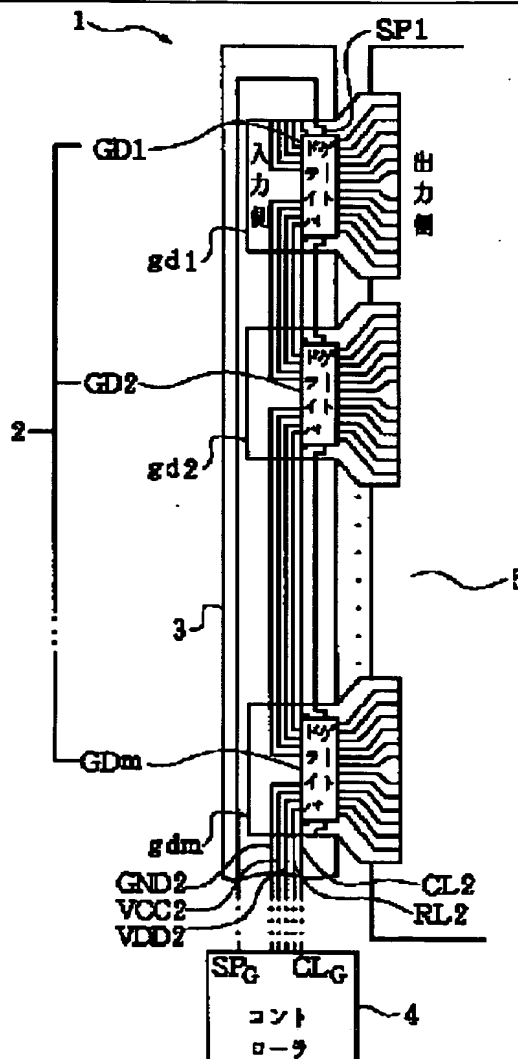
(54) DISPLAY DRIVE DEVICE, ITS  
MANUFACTURE AND LIQUID CRYSTAL  
MODULE USING THE DEVICE

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To manufacture a display drive device capable of fetching a start pulse signal at an accurate timing and to provide a liquid crystal module using the device.

**SOLUTION:** Gate drivers GD1, GD2, ..., GDm are respectively packaged on TCPgd1, gd2, ..., gdm, and then package on a printed circuit board 3. By this packaging, an input/output terminal CL2 of a gate driver group 2 end part side of the driver GDm, an input terminal RL2 and power supply terminals VDD2, VCC2 and GND2 are connected to a controller 4 and a clock signal CLG, a selection signal and a power voltage are transmitted in the direction from the driver GDm to the driver GD1. On the other hand, an input/output terminal SP1 of the group 2 end part side of the driver GD1 is connected to the controller 4 by the wiring on the board 3 and a start pulse signal SPG is transmitted in the direction from the driver GD1 to the driver GDm.

COPYRIGHT: (C)2000,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-235376  
(P2000-235376A)

(43) 公開日 平成12年8月29日 (2000.8.29)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	
G 0 2 F 1/133	5 0 5	G 0 2 F 1/133	5 0 5
1/1345		1/1345	
G 0 9 G 3/20	6 1 2	G 0 9 G 3/20	6 1 2 L

審査請求 未請求 請求項の数10 O L (全 31 頁)

(21) 出願番号 特願平11-257555

(22) 出願日 平成11年9月10日 (1999.9.10)

(31) 優先権主張番号 特願平10-357970

(32) 優先日 平成10年12月16日 (1998.12.16)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 折坂 幸久

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 小川 嘉規

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100080034

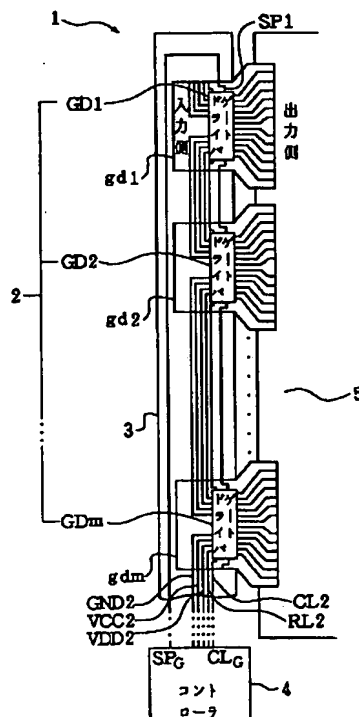
弁理士 原 謙三

(54) 【発明の名称】 表示用駆動装置およびその製造方法ならびにそれを用いた液晶モジュール

(57) 【要約】

【課題】 スタートパルス信号を正確なタイミングで取り込むことのできる表示用駆動装置、およびその製造方法ならびにそれを用いた液晶モジュールを提供する。

【解決手段】 ゲートドライバGD1・GD2・…・GDmをそれぞれTCPgd1・gd2・…・gd mに実装した上でプリント基板3に実装する。この実装によりゲートドライバGDmのゲートドライバ群2端部側の入出力端子CL2、入力端子RL2、および電源端子VDD2・VCC2・GND2をコントローラ4に接続し、クロック信号CLG、選択信号RLG、および電源電圧をゲートドライバGDmからゲートドライバGD1の方向へ伝搬させる。一方、ゲートドライバGD1のゲートドライバ群2端部側の入出力端子SP1をプリント基板3上の配線によってコントローラ4に接続し、スタートパルス信号SPGをゲートドライバGD1からゲートドライバGDmの方向に伝搬させる。



## 1

## 【特許請求の範囲】

【請求項 1】 画像を表示する表示素子の駆動信号を複数の生成段で生成するとともに、上記駆動信号の生成に使用されるスタートパルス信号およびクロック信号の入出力端子に対して縦続接続された複数の駆動用半導体素子を有し、上記駆動用半導体素子は、上記スタートパルス信号および上記クロック信号のそれぞれについて入力端子と出力端子とが入れ替え可能であって、上記スタートパルス信号を上記クロック信号に同期させて上記入力端子から上記出力端子の方向に伝搬させることにより上記駆動信号の生成源となる信号を複数の上記生成段のそれぞれへ時系列的に出力する伝搬回路を有する表示用駆動装置において、

上記駆動用半導体素子は、上記スタートパルス信号と上記クロック信号とが縦続接続された複数の上記駆動用半導体素子に対して互いに逆方向に伝搬されるようにそれぞれの上記入力端子および上記出力端子が設けられるとともに、上記スタートパルス信号および上記クロック信号のそれぞれの上記入力端子に入力バッファが設けられ、上記スタートパルス信号および上記クロック信号のそれぞれの上記出力端子に出力バッファが設けられることを特徴とする表示用駆動装置。

【請求項 2】 上記入力バッファおよび上記出力バッファは、外部から与えられる選択信号により入出力の切り換えが可能な入出力バッファであることを特徴とする請求項 1 に記載の表示用駆動装置。

【請求項 3】 上記スタートパルス信号の上記入出力バッファと上記クロック信号の上記入出力バッファとは、入出力の方向が互いに逆方向になるように切り換えられることを特徴とする請求項 2 に記載の表示用駆動装置。

【請求項 4】 複数の上記駆動用半導体素子はそれぞれ入力されたデータをそのまま出力するデータ用回路をさらに有し、上記データ用回路のデータ入力端子とデータ出力端子とは上記データが上記クロック信号と同一方向に伝搬されるように縦続接続され、上記データの伝搬方向に対して初段となる上記駆動用半導体素子の上記データ入力端子に上記スタートパルス信号が入力され、上記データの伝搬方向に対して最終段となる上記駆動用半導体素子の上記データ出力端子は最終段の上記駆動用半導体素子の上記スタートパルス信号の上記入力端子に接続されるときとも、上記データ入力端子に入力バッファが設けられ、上記データ出力端子に出力バッファが設けられることを特徴とする請求項 1 に記載の表示用駆動装置。

【請求項 5】 上記入力バッファおよび上記出力バッファは、外部から与えられる選択信号により入出力の切り換えが可能な入出力バッファであることを特徴とする請求項 4 に記載の表示用駆動装置。

【請求項 6】 上記スタートパルス信号の上記入出力バッファと上記クロック信号の上記入出力バッファとは、入出力の方向が互いに逆方向になるように切り換えられる

## 2

とともに、上記データの上記入出力バッファと上記クロック信号の上記入出力バッファとは、入出力の方向が互いに同方向になるように切り換えられることを特徴とする請求項 5 に記載の表示用駆動装置。

【請求項 7】 上記駆動用半導体素子は、それぞれ、上記縦続接続に用いられる入力側アウターリード端子と、上記表示素子に接続される出力側アウターリード端子とを有するテープキャリアパッケージに実装され、上記データの伝搬方向に対して最終段となる上記駆動用半導体素子の上記データ出力端子は、上記テープキャリアパッケージ上で所定の上記入力側アウターリード端子同士が短絡されることにより、上記スタートパルス信号の上記入力端子に接続されることを特徴とする請求項 4 ないし 6 のいずれかに記載の表示用駆動装置。

【請求項 8】 所定の 2 つの上記入力側アウターリード端子同士を予め短絡させて上記テープキャリアパッケージの配線を形成し、上記データの伝搬方向に対して最終段となる上記駆動用半導体素子が実装される上記テープキャリアパッケージについては短絡箇所を残すようにフィルムを切り取り、他の上記駆動用半導体素子が実装される上記テープキャリアパッケージについては短絡箇所を残さないようにフィルムを切り取ることにより、請求項 7 に記載の表示用駆動装置を製造することを特徴とする表示用駆動装置の製造方法。

【請求項 9】 上記表示素子は上記駆動信号が液晶層を有する画素ごとに供給される液晶パネルであることを特徴とする請求項 1 ないし 7 のいずれかに記載の表示用駆動装置。

【請求項 10】 請求項 9 に記載の表示用駆動装置を有することを特徴とする液晶モジュール。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、画像の表示素子を駆動する駆動装置に係り、特にゲートドライバおよびソースドライバとして液晶モジュールに搭載される液晶ドライバの接続形態と信号供給形態に関するものである。

## 【0002】

【従来の技術】 従来の TFT-LCD モジュール（液晶モジュール）について図 18 を参照しながら以下に説明する。同図の TFT-LCD モジュール 501 は、ゲートドライバ群（ゲート電極駆動回路）530、ソースドライバ群（ソース電極駆動回路）540、液晶パネル 550、コントローラ 510、および液晶駆動電源回路 520 から構成される。

【0003】 ゲートドライバ群 530 は、液晶パネル 550 のゲートバスラインを駆動する多出力数の LSI チップである m 個のゲートドライバ G1・G2・…・Gm からなる。各ゲートドライバは、LSI チップの各入出力端子と他の構成部品の電極とを接続するために、後述

## 3

するようにテープキャリアと呼ばれる絶縁フィルム上に微細間隔でレイアウトされた銅箔配線と、LSIチップの固定および防湿を目的とした封止樹脂とからなるTCP（テープキャリアパッケージ）に実装されている。

【0004】ソースドライバ群540は、液晶パネル550のソースバスラインを駆動する多出力数のLSIチップであるn個のソースドライバS1・S2・…・Snからなる。各ソースドライバもゲートドライバG1・G2・…・Gmと同様にTCPに実装されている。

【0005】液晶パネル550は図19に示すような等価回路で示される。同図に示すように、液晶パネル550は液晶層を有してマトリクス状に配置された画素と、画素を駆動するTFT（Thin Film Transistor：薄膜トランジスタ）からなる。TFTのゲート電極には液晶パネル550で水平方向に配されたゲートバスラインが接続され、ソース電極には垂直方向に配されたソースバスラインが接続されている。画素側では、TFTのドレイン電極に接続された電極が表示電極となり、液晶層を挟んでこの表示電極に対向する電極が全画素に対する共通電極（コモン電極）となっている。また、表示電極とゲートバスラインとの間には補助容量が形成される。

【0006】TFTのゲート電極に正電圧が印加される（通常ゲートドライバ群530からゲートバスラインを介して印加される）とTFTがON状態となり、ソース電極に印加された電圧（通常ソースドライバ群540からソースバスラインを介して印加される）により表示電極と共通電極との間に形成された液晶負荷容量が充電される。また、ゲート電極に負電圧が印加されるとTFTがOFF状態となり、その時点までにソースバスラインに印加されていた電圧が液晶負荷容量に保持される。

【0007】このように、書き込みたい電圧をソース電極に与えてゲート電圧を制御することにより、画素に所望の電圧を保持させることができる。液晶層はこの保持電圧に応じて透過率が変化するので、図20に示すように液晶層の背面側からバックライト光を照射してカラー・フィルタを通過させ、画像表示を行うようになっている。

【0008】コントローラ510は、外部（ホストシステム）からの同期信号を基準として、ゲートドライバ群530での走査パルスの発生とソースドライバ群540での駆動制御信号のタイミング制御を行うものであって、スタートパルス信号SP<sub>G</sub>およびクロック信号CL<sub>G</sub>などのゲートドライバ群530用のタイミング信号や、スタートパルス信号SP<sub>D</sub>およびクロック信号CL<sub>D</sub>などのソースドライバ群540用のタイミング信号などを供給する。液晶駆動電源回路520は、外部電源から電力を受けてゲートドライバ群530、ソースドライバ群540、および液晶パネル550の共通電極（コモン電極）に適した電力やデータの供給を行うものであって、電源電圧VDD・VCC・GNDおよびアナログ映

## 4

像信号としてのビデオ信号Videoを供給する。

【0009】次に、図21および図22を用いてゲートドライバ群530のより詳細な説明を行う。

【0010】ゲートドライバ群530は、図21に示すようにゲートドライバG1・G2・…・GmがそれぞれTCP<sub>g1</sub>・g2・…・gmに実装された状態で縦続接続され、液晶パネル550とプリント基板とを電気的に接続している。各TCPの液晶パネル550に対する入力側となるアウターリード端子はプリント基板に接続され、出力側のアウターリード端子は液晶パネル550に接続されている。また、ここではコントローラ510を液晶駆動電源回路520を含んだものとして図示しており、このコントローラ510からゲートドライバ群530への信号供給は、通常、全ての信号についてゲートドライバ群530の一端のゲートドライバから他端のゲートドライバへ向かう方向に行われるようになっている。すなわち、同図においては、ゲートドライバG1のゲートドライバ群530端部側の入出力端子SP1・CL1、入力端子RL1、および電源端子VDD1・VCC1・GND1がコントローラ510に接続されており、全ての信号がまずゲートドライバG1に入力され、その出力がゲートドライバG2に入力され、以降ゲートドライバGmまで順次供給されるといった形態を取り、プリント基板上の配線、各TCP上の配線、および各ゲートドライバの内部配線を用いてこの信号伝搬を行う。

【0011】各ゲートドライバの回路ブロック図を図22に示す。なお、ゲートドライバG1・G2・…・Gmは全て同一の構成であるので、同図には1つのゲートドライバについてののみ示してある。ゲートドライバは、双方向シフトレジスタ回路561、レベルシフタ回路562、出力回路563、SP入出力バッファSB1・SB2、CL入出力バッファCB1・CB2、インバータ564、入出力端子SP1・SP2・CL1・CL2、入力端子RL1・RL2、電源端子VDD1・VDD2・VCC1・VCC2・GND1・GND2、および出力端子Y1・Y2・…・Yiから構成される。各ブロックの機能を以下に説明する。

【0012】双方向シフトレジスタ回路（伝搬回路）561は、例えば縦続接続された複数のラッチ回路LAT1・LAT2・…・LATiを有し、垂直同期信号から生成されるゲートドライバ用のスタートパルス信号SP<sub>G</sub>を、水平同期信号となるゲートドライバ用のクロック信号CL<sub>G</sub>によってラッチ回路LAT1→ラッチ回路LAT2→…→ラッチ回路LATiの方向あるいはラッチ回路LATi→ラッチ回路LAT(i-1)→…→ラッチ回路LAT1の方向にシフト（伝搬）させるシフト動作を行う。そして、ラッチ回路LAT1・LAT2・…・LATiのそれぞれは、ソースドライバ群540から出力された電圧で駆動される液晶パネル550上の画素を選択するための選択パルス（駆動信号の生成源）を、

## 5

上記シフトのタイミングで時系列的に出力する。

【0013】 レベルシフト回路562は複数のレベルシフト段(生成段)  $LS1 \cdot LS2 \cdots LSi$  からなり、それぞれラッチ回路  $LAT1 \cdot LAT2 \cdots LATi$  から出力された上記選択パルスを受けて、その電圧レベルをTFTのON/OFFに必要な電圧レベルに変換し、出力回路563に送る。出力回路563は複数の出力段(生成段)  $OC1 \cdot OC2 \cdots OCi$  からなり、それぞれレベルシフト段  $LS1 \cdot LS2 \cdots LSi$  から出力された信号を取り込んで内部の出力バッファにて増幅し、出力端子  $Y1 \cdot Y2 \cdots Yi$  よりゲートバスラインに出力する。この出力回路563からの出力はパルス状の信号であり、ゲートパルスと称する。

【0014】 上述のように、双方向シフトレジスタ回路561はシフト方向の切り換え動作が可能になっており、この切り換え動作は入力端子  $RL1$  または入力端子  $RL2$  に供給される選択信号  $RLg$  によって行われる。以下に、双方向シフトレジスタ回路561のシフト方向の切り換え動作について説明する。

【0015】 スタートパルス信号  $SPg$  を双方向シフトレジスタ回路561内でラッチ回路  $LAT1 \rightarrow$  ラッチ回路  $LAT2 \rightarrow \cdots \rightarrow$  ラッチ回路  $LATi$  の方向にシフトさせる場合、入出力端子  $SP1$  は入力端子として機能し、これから入力されたスタートパルス信号  $SPg$  は  $SP$  入出力バッファ  $SB1$  を介して双方向シフトレジスタ回路561に与えられる。 $SP$  入出力バッファ  $SB1$  は選択信号  $RLg$  が一方の論理レベルとなると、インバータ564によって反転して得られる選択信号  $/RLg$  ( $RLg$  バー) によって能動化され、この場合入力バッファとして機能する。このとき  $SP$  入出力バッファ  $SB2$  は上記論理レベルの選択信号  $RLg$  によって能動化され、出力バッファとして機能する。

【0016】 また、クロック信号  $CLg$  も、上記と同様に入出力端子  $CL1$  を入力端子として機能させた状態で入力され、 $CL$  入出力バッファ  $CB1$  を介して双方向シフトレジスタ回路561に与えられる。 $CL$  入出力バッファ  $CB1$  は選択信号  $RLg$  が一方の論理レベルとなると、インバータ564によって反転して得られる選択信号  $/RLg$  によって能動化され、この場合入力バッファとして機能する。このとき  $CL$  入出力バッファ  $CB2$  は上記論理レベルの選択信号  $RLg$  によって能動化され、出力バッファとして機能する。

【0017】  $SP$  入出力バッファ  $SB1 \cdot SB2$  ならびに  $CL$  入出力バッファ  $CB1 \cdot CB2$  が能動化されると、多段式、例えば40段 ( $i=40$ ) のラッチ回路を有する双方向シフトレジスタ回路561は、入出力端子  $CL1$  から入力されたクロック信号  $CLg$  に同期して、ラッチ回路  $LAT1 \rightarrow$  ラッチ回路  $LAT2 \rightarrow \cdots \rightarrow$  ラッチ回路  $LAT40$  の方向に、入出力端子  $SP1$  から入力されたスタートパルス信号  $SPg$  を順次シフトしながら各

## 6

段のラッチ回路の出力を導出する。40段目のラッチ回路  $LAT40$  から出力された信号は、 $SP$  入出力バッファ  $SB2$  を介して、出力端子として機能する入出力端子  $SP2$  から次段のゲートドライバのスタートパルス信号  $SPg$  となるカスケード出力信号  $SPGO$  として出力される。

【0018】 一方、選択信号  $RLg$  が他方の論理レベルのときには、双方向シフトレジスタ回路561のシフト方向はラッチ回路  $LATi \rightarrow$  ラッチ回路  $LAT(i-1) \rightarrow \cdots \rightarrow$  ラッチ回路  $LAT1$  の方向に切り換えられ、スタートパルス信号  $SPg$  は、入力端子として機能する入出力端子  $SP2$  から入力され、入力バッファとして機能する  $SP$  入出力バッファ  $SB2$  を介して双方向シフトレジスタ回路561に与えられる。このとき、もう一方の  $SP$  入出力バッファ  $SB1$  は出力バッファとして機能する。また、クロック信号  $CLg$  も上記と同様に、入力端子として機能する入出力端子  $CL2$  から入力され、入力バッファとして機能する  $CL$  入出力バッファ  $CB2$  を介して双方向シフトレジスタ回路561に与えられる。このとき、 $CL$  入出力バッファ  $CB1$  は出力バッファとして機能する。

【0019】 入出力端子  $SP2 \cdot CL2$  から上記信号が入力され、 $SP$  入出力バッファ  $SB1 \cdot SB2$  ならびに  $CL$  入出力バッファ  $CB1 \cdot CB2$  が能動化されると、多段式、例えば40段 ( $i=40$ ) のラッチ回路を有する双方向シフトレジスタ回路561は、出力を導出する段がラッチ回路  $LAT40 \rightarrow$  ラッチ回路  $LAT39 \rightarrow \cdots \rightarrow$  ラッチ回路  $LAT1$  の方向に順次シフトするようになり、1段目のラッチ回路  $LAT1$  から出力された信号は、 $SP$  入出力バッファ  $SB1$  を介し、出力端子として機能する入出力端子  $SP1$  から次段のゲートドライバのスタートパルス信号  $SPg$  となるカスケード出力信号  $SPGO$  として出力される。

【0020】 従って、通常、スタートパルス信号  $SPg$  は、液晶モジュール501に搭載されるゲートドライバ群530の初段のゲートドライバに対してのみ外部から入力され、他のゲートドライバに対しては前段のゲートドライバの双方向シフトレジスタ回路561の最終段より取り出したカスケード出力信号  $SPGO$  によって発生されるスタートパルス信号  $SPg$  が入力される。また、クロック信号  $CLg$  も前記と同様に、スタートパルス信号  $SPg$  と同一の方向で、順次次段のゲートドライバへ転送される。

【0021】 なお、図22において、電源端子  $VDD1 \cdot VDD2$  は一方が液晶パネル550への出力用電圧が入力される端子で他方が次段のゲートドライバに上記出力用電圧を供給する端子、電源端子  $VCC1 \cdot VCC2$  は一方がゲートドライバの駆動用電圧が入力される端子で他方が次段のゲートドライバに上記駆動用電圧を供給する端子、電源端子  $GND1 \cdot GND2$  は一方が  $GND$

電位を取るための端子で他方が次段のゲートドライバに上記GND電位を供給する端子である。

【0022】以上がゲートドライバについての説明である。

【0023】次に、ソースドライバ群540を構成するソースドライバについて説明する。各ソースドライバの回路ブロック図を図23に示す。なお、ソースドライバ $S1 \cdot S2 \cdots Sn$ は全て同一の構成であるので、同図には1つのソースドライバについてのみ示してある。ソースドライバは、双方向シフトレジスタ回路571、出力回路572、SP入出力バッファ $SB1' \cdot SB2'$ 、CL入出力バッファ $CB1' \cdot CB2'$ 、インバータ573、入出力端子 $SP1' \cdot SP2' \cdot CL1' \cdot CL2'$ 、入力端子 $RL1' \cdot RL2'$ 、ビデオ入力端子Video、電源端子 $VCC1' \cdot VCC2' \cdot GND1' \cdot GND2'$ 、および出力端子 $Y1' \cdot Y2' \cdots Yi'$ から構成される。各ブロックの機能を以下に説明する。

【0024】双方向シフトレジスタ回路571は、ゲートドライバと同様に連続接続された複数のラッチ回路 $LAT1' \cdot LAT2' \cdots LATi'$ を有し、ソースドライバ用のスタートパルス信号 $SP_D$ をソースドライバ用のクロック信号 $CL_D$ によってラッチ回路 $LAT1' \rightarrow$ ラッチ回路 $LAT2' \rightarrow \cdots \rightarrow$ ラッチ回路 $LATi'$ の方向あるいはラッチ回路 $LATi' \rightarrow$ ラッチ回路 $LAT(i-1)' \rightarrow \cdots \rightarrow$ ラッチ回路 $LAT1'$ の方向にシフトさせるシフト動作を行う。また、ラッチ回路 $LAT1' \cdot LAT2' \cdots LATi'$ はそれぞれアナログ映像信号をサンプリングするためのサンプリングパルス（駆動信号の生成源）を時系列的に出力回路572

に出力する。

【0025】出力回路572は複数の出力段（生成段） $OC1' \cdot OC2' \cdots OCi'$ からなり、それぞれラッチ回路 $LAT1' \cdot LAT2' \cdots LATi'$ から出力されたサンプリングパルスに基づき、ビデオ入力端子Videoから入力されたアナログ映像信号をサンプリングする。サンプリングされた信号は該出力回路572内に設けられた増幅回路によって増幅され、出力端子 $Y1' \cdot Y2' \cdots Yi'$ より出力される。

【0026】上述のように、双方向シフトレジスタ回路571はゲートドライバと同様にシフト方向の切り換え動作が可能になっており、この切り換え動作は入力端子 $RL1'$ または入力端子 $RL2'$ に供給される選択信号 $RL_D$ によって行われる。以下に、双方向シフトレジスタ回路571のシフト方向の切り換え動作について説明する。

【0027】スタートパルス信号 $SP_D$ を双方向シフトレジスタ回路571内でラッチ回路 $LAT1' \rightarrow$ ラッチ回路 $LAT2' \rightarrow \cdots \rightarrow$ ラッチ回路 $LATi'$ の方向にシフトさせる場合、入出力端子 $SP1'$ は入力端子として

機能し、これから入力されたスタートパルス信号 $SP_D$ はSP入出力バッファ $SB1'$ を介して双方向シフトレジスタ回路571に与えられる。SP入出力バッファ $SB1'$ は選択信号 $RL_D$ が一方の論理レベルとなると、インバータ573によって反転して得られる選択信号/ $RL_D$ （ $RL_D$ バー）によって能動化され、入力バッファとして機能する。このときSP入出力バッファ $SB2'$ は上記論理レベルの選択信号 $RL_D$ によって能動化され、出力バッファとして機能する。

【0028】また、クロック信号 $CL_D$ も、上記と同様に入力端子として機能する入出力端子 $CL1'$ から入力され、CL入出力バッファ $CB1'$ を介して双方向シフトレジスタ回路571に与えられる。CL入出力バッファ $CB1'$ は選択信号 $RL_D$ が一方の論理レベルとなると、インバータ573によって反転して得られる選択信号/ $RL_D$ によって能動化され、入力バッファとして機能する。このときCL入出力バッファ $CB2'$ は上記論理レベルの選択信号 $RL_D$ によって能動化され、出力バッファとして機能する。

【0029】SP入出力バッファ $SB1' \cdot SB2'$ ならびにCL入出力バッファ $CB1' \cdot CB2'$ が能動化されると、多段式、例えば40段（ $i=40$ ）のラッチ回路を有する双方向シフトレジスタ回路571は、入出力端子 $CL1'$ から入力されたクロック信号 $CL_D$ に同期してラッチ回路 $LAT1' \rightarrow$ ラッチ回路 $LAT2' \rightarrow \cdots \rightarrow$ ラッチ回路 $LAT40'$ の方向に、入出力端子 $SP1'$ から入力されたスタートパルス信号 $SP_D$ を順次シフトしながら各段のラッチ回路の出力を導出する。40段目のラッチ回路 $LAT40'$ から出力された信号は、SP入出力バッファ $SB2'$ を介して出力端子として機能する入出力端子 $SP2'$ から次段のソースドライバのスタートパルス信号 $SP_D$ となるカスケード出力信号 $SP_{SO}$ として出力される。

【0030】一方、選択信号 $RL_D$ が他方の論理レベルのときには、双方向シフトレジスタ回路571のシフト方向はラッチ回路 $LATi' \rightarrow$ ラッチ回路 $LAT(i-1)' \rightarrow \cdots \rightarrow$ ラッチ回路 $LAT1'$ の方向に切り換えられ、スタートパルス信号 $SP_D$ は、入力端子として機能する入出力端子 $SP2'$ から入力され、入力バッファとして機能するSP入出力バッファ $SB2'$ を介して双方向シフトレジスタ回路571に与えられる。このとき、SP入出力バッファ $SB1'$ は出力バッファとして機能する。また、クロック信号 $CL_D$ も上記と同様に、入力端子として機能する入出力端子 $CL2'$ から入力され、入力バッファとして機能するCL入出力バッファ $CB2'$ を介して双方向シフトレジスタ回路571に与えられる。このとき、CL入出力バッファ $CB1'$ は出力バッファとして機能する。

【0031】入出力端子 $SP2' \cdot CL2'$ から上記信号が入力され、SP入出力バッファ $SB1' \cdot SB2'$

ならびにCL入出力バッファCB1'・CB2'が能動化されると、多段式、例えば40段( $i=40$ )のラッチ回路を有する双方向シフトレジスタ回路571は、出力を導出する段がラッチ回路LAT40'→ラッチ回路LAT39'→…→ラッチ回路LAT1'の方向に順次シフトするようになり、1段目のラッチ回路LAT1'から出力された信号は、SP入出力バッファSB1'を介し、出力端子として機能する入出力端子SP1'から次段のソースドライバのスタートパルス信号SPDとなるカスケード出力信号SPSOとして出力される。

【0032】従って、通常、スタートパルス信号SPDは、液晶モジュール501に搭載されるソースドライバ群540の初段のソースドライバに対してのみ外部から入力され、他のソースドライバに対しては前段のソースドライバの双方向シフトレジスタ回路571の最終段より取り出したカスケード出力信号SPSOによって発生されるスタートパルス信号SPDが入力される。また、クロック信号CLDも前記と同様に、スタートパルス信号SPDと同一の方向で、順次次段のソースドライバへ転送される。

【0033】なお、図23において、電源端子VCC1'・VCC2'は一方がソースドライバの駆動用電圧が入力される端子で他方が次段のソースドライバに上記駆動用電圧を供給する端子、電源端子GND1'・GND2'は一方がGND電位を取るための端子で他方が次段のソースドライバに上記GND電位を供給する端子である。

【0034】以上がソースドライバについての説明である。

#### 【0035】

【発明が解決しようとする課題】しかしながら、上記従来の技術においては、ゲートドライバ、ソースドライバなどのドライバLSIの縦続接続を行っているため、入出力バッファCB1・CB2・CB1'・CB2'の前後に生じるクロック信号CLG・CLDのクロックスキューによって液晶駆動の誤動作を引き起こすという問題がある。この問題点について図24および図25を用いて説明する。

【0036】図24はドライバLSI同士の縦続接続が行われている状態を示した回路ブロック図である。この回路ブロックは、ゲートドライバ、ソースドライバとも似通った構成であり、どちらも同じであると考えてよい。よって、ここではドライバLSIをゲートドライバとし、同図をゲートドライバGk( $k=1, 2, \dots, m-1$ )とゲートドライバG(k+1)との接続状況を示すものとする。

【0037】ゲートドライバGkおよびゲートドライバG(k+1)の双方向シフトレジスタ回路561は、フリップフロップF/F1からフリップフロップF/Fiまでの多段のフリップフロップがラッチ回路として接続

された状態に構成されている。ゲートドライバGkの双方向シフトレジスタ561内では隣接するフリップフロップのD端子とQ端子とが接続され、最終段のフリップフロップF/FiのQ端子はSP入出力バッファSB2を介して外部に取り出され、ゲートドライバG(k+1)のSP入出力バッファSB1を介してその初段のフリップフロップF/F1のD端子に接続されている。

【0038】また、ゲートドライバGk内のクロック信号線はCL入出力バッファCB2を介して外部に取り出され、CL入出力バッファCB1を介してゲートドライバG(k+1)内のクロック信号線に接続されている。クロック信号線からは、ゲートドライバGk・G(k+1)内の各フリップフロップのCK端子と内部ロジック回路とにクロック信号CLGが供給される。

【0039】スタートパルス信号SPGならびにクロック信号CLGは、ゲートドライバGkからゲートドライバG(k+1)へと転送されるように、ゲートドライバGkならびにゲートドライバG(k+1)のSP入出力バッファSB1・SB2およびCL入出力バッファCB1・CB2の入出力モードは選択信号RLGによって制御されている。同図には、制御された結果のバッファ回路状態を示している。従って、スタートパルス信号SPGは、供給されるクロック信号CLGの立ち上がり同期して紙面上の左側のフリップフロップから右側のフリップフロップへと順次転送される。さらに、この場合には各フリップフロップのQ出力は前述のレベルシフト回路562にも出力され、ドライバLSIがソースドライバの場合には前述の出力回路572にも出力される。

【0040】今、ゲートドライバGk内でのクロック信号CLGを信号CK1、フリップフロップF/F(i-1)のD端子に入力されるスタートパルス信号SPGを信号D1、フリップフロップF/F(i-1)のQ端子から出力されフリップフロップF/FiのD端子に入力されるスタートパルス信号SPGを信号D2、フリップフロップF/FiのQ端子から出力されるスタートパルス信号SPGを信号D3、ドライバG(k+1)内でのクロック信号CLGを信号CK2、フリップフロップF/F1のD端子に入力されるスタートパルス信号SPGを信号D4、フリップフロップF/F1のQ端子から出力されフリップフロップF/F2のD端子に入力されるスタートパルス信号SPGを信号D5とする。

【0041】この場合、上記各信号のタイミングチャートは図25のようになる。同図に示されているように、信号CK1がCL入出力バッファCB2・CB1を介して信号CK2となるために、信号CK2が信号CK1に対して遅延しているとともに、信号D3がSP入出力バッファSB2・SB1を介して信号D4となるために、信号D4が信号D3に対して遅延している。

【0042】ここで、クロック信号CLGの遅延時間は、クロック信号線の負荷容量が大きいことからくる波

10

20

30

40

50

形なまりや、駆動能力を大きくしたバッファ回路の遅延時間などにより、スタートパルス信号  $SPG$  の遅延時間よりも大きくなる。従って、ゲートドライバ  $G_k$  内を信号  $CK1$  の立ち上がりに同期して転送されてきたスタートパルス信号  $SPG$  がゲートドライバ  $G_{(k+1)}$  の初段のフリップフロップ  $F/F1$  での信号  $CK2$  の立ち上がりで転送される際に、先述の遅延時間によるラッチのタイミングずれが生じ、同図に示すように信号  $D5$  を本来あるべきタイミングよりほぼ 1 クロックサイクル早く出力してしまう。以後、誤った状態を維持してスタートパルス信号  $SPG$  が転送されるため、液晶モジュール 501 の誤動作を引き起こす。この現象は、同様の構成を取るソースドライバについても当然起こる。

【0043】 一般に液晶モジュールの表示品位を向上するための画素数増加の要求は強く、これに対応するために 1 チップのドライバ  $LSI$  内の双方向シフトレジスタの段数増大は避けられない。従って、これによるクロック信号線の負荷容量の増大は、クロック信号の波形なまりおよび遅延をますます大きくしている。また、画素数の増大に合わせてデータ信号やクロック信号の高速化も必要であるため、これらのタイミング制御は一層厳しくなっている。さらに、低消費電力化への要求から駆動電圧の低電圧化が必須である。

【0044】 このため、上記タイミング制御を行うにあたって、これまでのように微細化技術によって負荷容量の削減を行ったり、クロック信号用の入出力バッファ回路の駆動能力を上げたりすることは、液晶モジュールに要求される上記諸条件を満たす上で限界があり、液晶モジュールとしての実装などの設計においても困難を伴う。

【0045】 本発明は、上記従来の問題点を鑑みなされたものであり、その目的は、スタートパルス信号を正確なタイミングで取り込むことのできる表示用駆動装置、およびその製造方法ならびにそれを用いた液晶モジュールを提供することにある。

#### 【0046】

【課題を解決するための手段】 本発明の表示用駆動装置は、上記課題を解決するために、画像を表示する表示素子の駆動信号を複数の生成段で生成するとともに、上記駆動信号の生成に使用されるスタートパルス信号およびクロック信号の入出力端子に対して縦続接続された複数の駆動用半導体素子を有し、上記駆動用半導体素子は、上記スタートパルス信号および上記クロック信号のそれぞれについて入力端子と出力端子とが入れ替え可能であって、上記スタートパルス信号を上記クロック信号に同期させて上記入力端子から上記出力端子の方向に伝搬させることにより上記駆動信号の生成源となる信号を複数の上記生成段のそれぞれへ時系列的に出力する伝搬回路を有する表示用駆動装置において、上記駆動用半導体素子は、上記スタートパルス信号と上記クロック信号とが

縦続接続された複数の上記駆動用半導体素子に対して互いに逆方向に伝搬されるようにそれぞれの上記入力端子および上記出力端子が設けられるとともに、上記スタートパルス信号および上記クロック信号のそれぞれの上記入力端子に入力バッファが設けられ、上記スタートパルス信号および上記クロック信号のそれぞれの上記出力端子に出力バッファが設けられることを特徴としている。

【0047】 上記の発明によれば、スタートパルス信号とクロック信号とは、縦続接続された複数の駆動用半導体素子に対して互いに逆方向に伝搬されるようにそれぞれの入力端子および出力端子が選択的に設けられる。また、スタートパルス信号およびクロック信号のそれぞれの入力端子には、それぞれの伝搬方向に応じた入力バッファが設けられ、それぞれの出力端子には上記伝搬方向に応じた出力バッファが設けられる。

【0048】 従って、スタートパルス信号が次段の駆動用半導体素子に伝搬した際に、駆動信号の生成源となる信号を出力するために用いられる同期用のクロック信号は、スタートパルス信号に対する前段の駆動用半導体素子で用いられたクロック信号よりも、入力バッファ 1 段分と出力バッファ 1 段分との伝搬時間の和および波形なまりによる遅延時間に相当する位相差だけ進んだものとなる。この結果、駆動信号を生成するためにスタートパルス信号を取り込むタイミングは正確なものとなり、液晶モジュールを正しく動作させることができる。

【0049】 さらに本発明の表示用駆動装置は、上記課題を解決するために、上記入力バッファおよび上記出力バッファは、外部から与えられる選択信号により入出力の切り換えが可能な入出力バッファであることを特徴としている。

【0050】 上記の発明によれば、スタートパルス信号およびクロック信号のそれぞれの入力バッファおよび出力バッファは、入出力の切り換えが可能な入出力バッファを選択信号により入力バッファあるいは出力バッファに切り換えて用いられる。

【0051】 従って、スタートパルス信号およびクロック信号の伝搬方向の設定を変える場合に、入力バッファと出力バッファとを取り替えて設置するといった煩わしさがなくなるとともに、同じ表示用駆動装置を様々な伝搬方向モードに設定することができる。

【0052】 さらに本発明の表示用駆動装置は、上記課題を解決するために、上記スタートパルス信号の上記入出力バッファと上記クロック信号の上記入出力バッファとは、入出力の方向が互いに逆方向になるように切り換えられることを特徴としている。

【0053】 上記の発明によれば、スタートパルス信号の入出力バッファとクロック信号の入出力バッファとが、選択信号によって入出力の方向が互いに逆方向になるように切り換えられるので、スタートパルス信号の伝搬方向とクロック信号の伝搬方向とを互いに逆方向にす



る場合の回路を容易に構成することができる。

【0054】さらに本発明の表示用駆動装置は、上記課題を解決するために、複数の上記駆動用半導体素子はそれぞれ入力されたデータをそのまま出力するデータ用回路をさらに有し、上記データ用回路のデータ入力端子とデータ出力端子とは上記データが上記クロック信号と同一方向に伝搬されるように縦続接続され、上記データの伝搬方向に対して初段となる上記駆動用半導体素子の上記データ入力端子に上記スタートパルス信号が入力され、上記データの伝搬方向に対して最終段となる上記駆動用半導体素子の上記データ出力端子は最終段の上記駆動用半導体素子の上記スタートパルス信号の上記入力端子に接続されるとともに、上記データ入力端子に入力バッファが設けられ、上記データ出力端子に出力バッファが設けられることを特徴としている。

【0055】上記の発明によれば、データをそのまま伝搬するデータ用回路を新たに駆動用半導体素子に設け、その入出力端子であるデータ入力端子およびデータ出力端子を、データがクロック信号と同一の方向に伝搬されるように設ける。また、データの伝搬方向に対して最終段となる駆動用半導体素子のデータ出力端子は、同じ最終段の駆動用半導体素子のスタートパルス信号の入力端子に接続される。

【0056】従って、スタートパルス信号とクロック信号とを同じ回路から駆動用半導体素子に供給する場合に、この回路から最終段の駆動用半導体素子のスタートパルス信号の入力端子まで、外部配線を用いずにデータ用回路の配線を用いて、スタートパルス信号を縦続接続された駆動用半導体素子の内部を伝搬させることができる。この結果、外部配線を減少させた分、外部配線の基板の面積を低減させることができるとともに、スタートパルス信号が上記最終段の駆動用半導体素子の入力端子に入力されるまでの波形なまりを低減し、外部からの雑音の影響を受けにくくすることができる。

【0057】さらに本発明の表示用駆動装置は、上記課題を解決するために、上記入力バッファおよび上記出力バッファは、外部から与えられる選択信号により入出力の切り換えが可能な入出力バッファであることを特徴としている。

【0058】上記の発明によれば、スタートパルス信号、クロック信号、およびデータのそれぞれの入力バッファおよび出力バッファは、入出力の切り換えが可能な入出力バッファを選択信号により入力バッファあるいは出力バッファに切り換えて用いられる。

【0059】従って、スタートパルス信号、クロック信号、およびデータの伝搬方向の設定を変える場合に、入力バッファと出力バッファとを取り替えて設置するといった煩わしさがなくなるとともに、同じ表示用駆動装置を様々な伝搬方向モードに設定することができる。

【0060】さらに本発明の表示用駆動装置は、上記課

題を解決するために、上記スタートパルス信号の上記入出力バッファと上記クロック信号の上記入出力バッファとは、入出力の方向が互いに逆方向になるように切り換えられるとともに、上記データの上記入出力バッファと上記クロック信号の上記入出力バッファとは、入出力の方向が互いに同方向になるように切り換えられることを特徴としている。

【0061】上記の発明によれば、スタートパルス信号の入出力バッファとクロック信号の入出力バッファとが、選択信号によって入出力の方向が互いに逆方向になるように切り換えられ、またデータの入出力バッファとクロック信号の入出力バッファとが、選択信号によって入出力の方向が互いに同方向になるように切り換えられる。従って、スタートパルス信号の伝搬方向とクロック信号の伝搬方向とを互いに逆方向にし、かつデータ用の配線を設ける場合の回路を容易に構成することができる。

【0062】さらに本発明の表示用駆動装置は、上記課題を解決するために、上記駆動用半導体素子は、それぞれ、上記縦続接続に用いられる入力側アウターリード端子と、上記表示素子に接続される出力側アウターリード端子とを有するテープキャリアパッケージに実装され、上記データの伝搬方向に対して最終段となる上記駆動用半導体素子の上記データ出力端子は、上記テープキャリアパッケージ上で所定の上記入力側アウターリード端子同士が短絡されることにより、上記スタートパルス信号の上記入力端子に接続されることを特徴としている。

【0063】上記の発明によれば、各駆動用半導体素子はそれぞれテープキャリアパッケージに実装され、それらの入力側アウターリード端子によって駆動用半導体素子が縦続接続されるとともに、出力側アウターリード端子によって駆動用半導体素子が表示素子に接続される。そして、データの伝搬方向に対して最終段となる駆動用半導体素子のテープキャリアパッケージ上では、データ出力端子に接続される入力側アウターリード端子が、スタートパルス信号の入力端子に接続される入力側アウターリード端子と短絡される。

【0064】一般に、テープキャリアパッケージ上の配線は薄い金属箔からエッチングなどによるパターンニングで一括形成されるので、このパターンニング時にデータ出力端子からスタートパルス信号の入力端子まで一続きの配線とすることにより、入力側アウターリード端子同士の短絡箇所を形成することができる。従って、データ出力端子に接続される入力側アウターリード端子と、スタートパルス信号の入力端子に接続される入力側アウターリード端子とを、段差を介して基板配線で接続する必要がない。これにより、断線および接続不良を防止して電氣的な接続時の信頼性向上やこれに伴う量産性の向上を図ることができる。

【0065】また、本発明の表示用駆動装置の製造方法

は、上記課題を解決するために、所定の2つの上記入力側アウターリード端子同士を予め短絡させて上記テープキャリアパッケージの配線を形成し、上記データの伝搬方向に対して最終段となる上記駆動用半導体素子が実装される上記テープキャリアパッケージについては短絡箇所を残すようにフィルムを切り取り、他の上記駆動用半導体素子が実装される上記テープキャリアパッケージについては短絡箇所を残さないようにフィルムを切り取るにより、前項に記載の表示用駆動装置を製造することを特徴としている。

【0066】上記の発明によれば、各駆動用半導体素子をテープキャリアパッケージに実装して前項に記載の表示用駆動装置を製造する場合に、まず全てのテープキャリアパッケージについて所定の2つの入力側アウターリード端子同士を予め短絡させて配線を形成しておく。そして、データの伝搬方向に対して最終段となる駆動用半導体素子が実装されるテープキャリアパッケージについては短絡箇所を残すようにフィルムを切り取り、残した短絡箇所をデータ出力端子に接続される入力側アウターリード端子と、スタートパルス信号の入力端子に接続される入力側アウターリード端子との短絡箇所に使用することができるようにする。また、他の駆動用半導体素子が実装されるテープキャリアパッケージについては短絡箇所を残さないようにフィルムを切り取り、所定の隣接する入力側アウターリード端子を電氣的に分離する。

【0067】従って、フィルムの切り取り工程前までは全てのテープキャリアパッケージについて同一の製造工程とし、切り取り工程でのみ最終段用とそれ以外とのテープキャリアパッケージに分けることができるので、前項に記載の表示用駆動装置を効率よく製造することができる。また、駆動用半導体素子の入出力端子の並び方を変更した場合にも、短絡箇所を変更するだけで対応するテープキャリアパッケージを作製することができるので、縦続接続の自由度が向上する。

【0068】さらに本発明の表示用駆動装置は、上記課題を解決するために、上記表示素子は上記駆動信号が液晶層を有する画素ごとにも供給される液晶パネルであることを特徴としている。

【0069】上記の発明によれば、表示用駆動装置は液晶パネル上の画素を駆動するゲートドライバ群やソースドライバ群として供されるので、液晶パネルを正確に駆動することができる。

【0070】また、本発明の液晶モジュールは、上記課題を解決するために、前項に記載の表示用駆動装置を有することを特徴としている。

【0071】上記の発明によれば、前項に記載の表示用駆動装置を搭載することにより、液晶パネルを正確に駆動することのできる信頼性の高い液晶モジュールを提供することができる。

【0072】

【発明の実施の形態】〔実施の形態1〕本発明の表示用駆動装置およびそれを用いた液晶モジュールの実施の一形態について図1ないし図8に基づいて説明すれば、以下の通りである。なお、以下の説明では表示用駆動装置としてゲートドライバ群を例に挙げるが、その特徴点およびそれを用いた液晶モジュールの特徴点をソースドライバ群に対しても適用することができるのはもちろんである。

【0073】図1に、本実施の形態の液晶モジュール1の構成を示す。液晶モジュール1は、ゲートドライバ群2、ゲートドライバ群2への配線が施されたプリント基板3、ゲートドライバ群2に液晶駆動のために必要な信号を供給するコントローラ4、およびゲートドライバ群2によって駆動される液晶パネル5から構成される。

【0074】ゲートドライバ群（表示用駆動装置）2は、液晶パネル（表示素子）5のゲートバスライン（図示せず）を駆動する多出力数のLSIチップであるm個のゲートドライバ（駆動用半導体素子）GD1・GD2・…・GDmからなる。ゲートドライバGD1・GD2・…・GDmは、それぞれTCPgd1・gd2・…・gdmに実装された状態で、コントローラ4から供給されるスタートパルス信号SPGやクロック信号CLGなどの各種信号の入出力端子に対して縦続接続され、液晶パネル5とプリント基板3とを電氣的に接続している。縦続接続に用いられる上記入出力端子からの引出し線となる各TCPの入力側のアウターリード端子はプリント基板3に接続され、各TCPの出力側のアウターリード端子は、ゲートドライバGD1・GD2・…・GDmのそれぞれから出力されるゲートパルス（駆動信号）のゲートバスラインへの引出し線として液晶パネル5に接続されている。

【0075】また、ゲートドライバGDmのゲートドライバ群2端部側の入出力端子CL2、入力端子RL2、および電源端子VDD2・VCC2・GND2は、液晶駆動電源回路を含んだコントローラ4に接続され、クロック信号CLG、選択信号RLG、および電源電圧がゲートドライバGDmからゲートドライバGD1の方向へ伝搬されるようになっている。一方、ゲートドライバGD1のゲートドライバ群2端部側の入出力端子SP1は、プリント基板3上の配線によってコントローラ4に接続され、スタートパルス信号SPGがゲートドライバGD1からゲートドライバGDmの方向に伝搬するようになっている。このように、各ゲートドライバの縦続接続方向に対してスタートパルス信号SPGとクロック信号CLGとが互いに逆方向に伝搬されることが本実施の形態の特徴である。これについて以下に詳細に説明する。

【0076】各ゲートドライバの回路ブロック図を図2に示す。なお、ゲートドライバGD1・GD2・…・GDmは全て同一の構成であるので、同図には1つのゲ

トドライバについてのみ示してある。ゲートドライバは、双方向シフトレジスタ回路561、レベルシフタ回路562、出力回路563、SP入出力バッファSB1・SB2、CL入出力バッファCB1・CB2、インバータ6・7、入出力端子SP1・SP2・CL1・CL2、入力端子RL1・RL2、電源端子VDD1・VDD2・VCC1・VCC2・GND1・GND2、および出力端子Y1・Y2・…・Yiから構成される。

【0077】各ブロックの詳細な構成およびその機能を以下に説明するが、双方向シフトレジスタ回路561、レベルシフタ回路562、出力回路563、入出力端子SP1・SP2・CL1・CL2、入力端子RL1・RL2、電源端子VDD1・VDD2・VCC1・VCC2・GND1・GND2、および出力端子Y1・Y2・…・Yiについては従来の技術と同一であるのでその説明を省略する。

【0078】SP入出力バッファSB1・SB2およびCL入出力バッファCB1・CB2は、それぞれ入出力端子SP1・SP2・CL1・CL2に設けられており、入力端子RL1または入力端子RL2から入力される選択信号RLgが、インバータ6によって論理レベルが1回反転した選択信号／RLgと、さらにこの選択信号／RLgをインバータ7によって論理レベルを反転した信号すなわち選択信号RLgとが入力されるようになっている。選択信号RLgおよび選択信号／RLgの論理レベルの組み合わせにより、SP入出力バッファSB1・SB2およびCL入出力バッファCB1・CB2は、入力バッファと出力バッファとの機能が切り換えられる。

【0079】図3に、SP入出力バッファSB1・SB2の具体的な回路構成を示す。SP入出力バッファSB1は、バッファ11、NANDゲート12、NORゲート13、pチャンネルMOSFET14、およびnチャンネルMOSFET15からなる入力バッファ回路10と、バッファ21、NANDゲート22、NORゲート23、pチャンネルMOSFET24、およびnチャンネルMOSFET25からなる出力バッファ回路20とからなる。

【0080】入力バッファ回路10において、バッファ11の入力端子は入出力端子SP1に接続され、出力端子はNANDゲート12の一方の入力端子とNORゲート13の一方の入力端子とに接続されている。NANDゲート12の他方の入力端子はインバータ7の出力端子に接続されて選択信号RLgが入力され、NORゲート13の他方の入力端子はインバータ6の出力端子に接続されて選択信号／RLgが入力される。NANDゲート12の出力端子はpチャンネルMOSFET14のゲートに接続され、NORゲート13の出力端子はnチャンネルMOSFET15のゲートに接続されている。

【0081】また、pチャンネルMOSFET14のド

レインは電源端子VCC2に接続されて“High”レベルの電位VCCに保持されており、nチャンネルMOSFET15のソースは電源端子GND2に接続されて“Low”レベルの電位GNDに保持されている。さらに、pチャンネルMOSFET14のソースはnチャンネルMOSFET15のドレインに接続されており、その接続点は双方向シフトレジスタ回路561の初段のラッチ回路LAT1に接続されている。

【0082】出力バッファ回路20において、バッファ21の入力端子は先述の双方向シフトレジスタ回路561の初段のラッチ回路LAT1に接続され、出力端子はNANDゲート22の一方の入力端子とNORゲート23の一方の入力端子とに接続されている。NANDゲート22の他方の入力端子はインバータ6の出力端子に接続されて選択信号／RLgが入力され、NORゲート23の他方の入力端子はインバータ7の出力端子に接続されて選択信号RLgが入力される。NANDゲート22の出力端子はpチャンネルMOSFET24のゲートに接続され、NORゲート23の出力端子はnチャンネルMOSFET25のゲートに接続されている。

【0083】また、pチャンネルMOSFET24のドレインは電源端子VCC2に接続されて“High”レベルの電位VCCに保持されており、nチャンネルMOSFET25のソースは電源端子GND2に接続されて“Low”レベルの電位GNDに保持されている。さらに、pチャンネルMOSFET24のソースはnチャンネルMOSFET25のドレインに接続されており、その接続点は入出力端子SP1に接続されている。

【0084】次に、SP入出力バッファSB2は図中右側の回路で表され、バッファ31、NANDゲート32、NORゲート33、pチャンネルMOSFET34、およびnチャンネルMOSFET35からなる入力バッファ回路30と、バッファ41、NANDゲート42、NORゲート43、pチャンネルMOSFET44、およびnチャンネルMOSFET45からなる出力バッファ回路40とからなる。

【0085】入力バッファ回路30において、バッファ31の入力端子は入出力端子SP2に接続され、出力端子はNANDゲート32の一方の入力端子とNORゲート33の一方の入力端子とに接続されている。NANDゲート32の他方の入力端子はインバータ6の出力端子に接続されて選択信号／RLgが入力され、NORゲート33の他方の入力端子はインバータ7の出力端子に接続されて選択信号RLgが入力される。NANDゲート32の出力端子はpチャンネルMOSFET34のゲートに接続され、NORゲート33の出力端子はnチャンネルMOSFET35のゲートに接続されている。

【0086】また、pチャンネルMOSFET34のドレインは電源端子VCC2に接続されて“High”レベルの電位VCCに保持されており、nチャンネルMO

SFET 35のソースは電源端子GND 2に接続されて“Low”レベルの電位GNDに保持されている。さらに、pチャンネルMOSFET 34のソースはnチャンネルMOSFET 35のドレインに接続されており、その接続点は双方向シフトレジスタ回路561の最終段のラッチ回路LAT iに接続されている。

【0087】出力バッファ回路40において、バッファ41の入力端子は先述の双方向シフトレジスタ回路561の最終段のラッチ回路LAT iに接続され、出力端子はNANDゲート42の一方の入力端子とNORゲート43の一方の入力端子とに接続されている。NANDゲート42の他方の入力端子はインバータ7の出力端子に接続されて選択信号RLGが入力され、NORゲート43の他方の入力端子はインバータ6の出力端子に接続されて選択信号／RLGが入力される。NANDゲート42の出力端子はpチャンネルMOSFET 44のゲートに接続され、NORゲート43の出力端子はnチャンネルMOSFET 45のゲートに接続されている。

【0088】また、pチャンネルMOSFET 44のドレインは電源端子VCC 2に接続されて“High”レベルの電位VCCに保持されており、nチャンネルMOSFET 45のソースは電源端子GND 2に接続されて“Low”レベルの電位GNDに保持されている。さらに、pチャンネルMOSFET 44のソースはnチャンネルMOSFET 45のドレインに接続されており、その接続点は入出力端子SP 2に接続されている。

【0089】上記の構成のSP入出力バッファSB1・SB2において、選択信号RLGが“High”レベルの場合、SP入出力バッファSB1は、入力バッファ回路10のpチャンネルMOSFET 14およびnチャンネルMOSFET 15のいずれか一方がON状態で他方がハイインピーダンス状態となる一方、出力バッファ回路20のpチャンネルMOSFET 24およびnチャンネルMOSFET 25がいずれもハイインピーダンス状態となることにより入力バッファとして動作する。このとき同様に、SP入出力バッファSB2は出力バッファとして動作する。選択信号RLGが“Low”レベルの場合、上記の逆となり、SP入出力バッファSB1は出力バッファとして動作し、SP入出力バッファSB2は入力バッファとして動作する。

【0090】次に、図4に、CL入出力バッファCB1・CB2の具体的な回路構成を示す。CL入出力バッファCB1は、バッファ51、NANDゲート52、NORゲート53、pチャンネルMOSFET 54、およびnチャンネルMOSFET 55からなる入力バッファ回路50と、バッファ61、NANDゲート62、NORゲート63、pチャンネルMOSFET 64、およびnチャンネルMOSFET 65からなる出力バッファ回路60とからなる。

【0091】入力バッファ回路50において、バッファ

51の入力端子は入出力端子CL 1に接続され、出力端子はNANDゲート52の一方の入力端子とNORゲート53の一方の入力端子とに接続されている。NANDゲート52の他方の入力端子はインバータ6の出力端子に接続されて選択信号／RLGが入力され、NORゲート53の他方の入力端子はインバータ7の出力端子に接続されて選択信号RLGが入力される。NANDゲート52の出力端子はpチャンネルMOSFET 54のゲートに接続され、NORゲート53の出力端子はnチャンネルMOSFET 55のゲートに接続されている。

【0092】また、pチャンネルMOSFET 54のドレインは電源端子VCC 2に接続されて“High”レベルの電位VCCに保持されており、nチャンネルMOSFET 55のソースは電源端子GND 2に接続されて“Low”レベルの電位GNDに保持されている。さらに、pチャンネルMOSFET 54のソースはnチャンネルMOSFET 55のドレインに接続されており、その接続点は双方向シフトレジスタ回路561の初段のラッチ回路LAT 1および内部ロジック回路に接続されている。

【0093】出力バッファ回路60において、バッファ61の入力端子は先述の双方向シフトレジスタ回路561の初段のラッチ回路LAT 1および内部ロジック回路に接続され、出力端子はNANDゲート62の一方の入力端子とNORゲート63の一方の入力端子とに接続されている。NANDゲート62の他方の入力端子はインバータ7の出力端子に接続されて選択信号RLGが入力され、NORゲート63の他方の入力端子はインバータ6の出力端子に接続されて選択信号／RLGが入力される。NANDゲート62の出力端子はpチャンネルMOSFET 64のゲートに接続され、NORゲート63の出力端子はnチャンネルMOSFET 65のゲートに接続されている。

【0094】また、pチャンネルMOSFET 64のドレインは電源端子VCC 2に接続されて“High”レベルの電位VCCに保持されており、nチャンネルMOSFET 65のソースは電源端子GND 2に接続されて“Low”レベルの電位GNDに保持されている。さらに、pチャンネルMOSFET 64のソースはnチャンネルMOSFET 65のドレインに接続されており、その接続点は入出力端子CL 1に接続されている。

【0095】次に、CL入出力バッファCB2は、バッファ71、NANDゲート72、NORゲート73、pチャンネルMOSFET 74、およびnチャンネルMOSFET 75からなる入力バッファ回路70と、バッファ81、NANDゲート82、NORゲート83、pチャンネルMOSFET 84、およびnチャンネルMOSFET 85からなる出力バッファ回路80とからなる。

【0096】入力バッファ回路70において、バッファ

子はNAND 72ゲートの一方向の入力端子とNORゲート73の一方向の入力端子とに接続されている。NANDゲート72の他方向の入力端子はインバータ7の出力端子に接続されて選択信号RLGが入力され、NORゲート73の他方向の入力端子はインバータ6の出力端子に接続されて選択信号／RLGが入力される。NANDゲート72の出力端子はpチャンネルMOSFET 74のゲートに接続され、NORゲート73の出力端子はnチャンネルMOSFET 75のゲートに接続されている。

【0097】また、pチャンネルMOSFET 74のドレインは電源端子VCC2に接続されて“High”レベルの電位VCCに保持されており、nチャンネルMOSFET 75のソースは電源端子GND2に接続されて“Low”レベルの電位GNDに保持されている。さらに、pチャンネルMOSFET 74のソースはnチャンネルMOSFET 75のドレインに接続されており、その接続点は双方向シフトレジスタ回路561の最終段のラッチ回路LATiおよび内部ロジック回路に接続されている。

【0098】出力バッファ回路80において、バッファ81の入力端子は双方向シフトレジスタ回路561の最終段のラッチ回路LATiおよび内部ロジック回路に接続され、出力端子はNANDゲート82の一方向の入力端子とNORゲート83の一方向の入力端子とに接続されている。NANDゲート82の他方向の入力端子はインバータ6の出力端子に接続されて選択信号／RLGが入力され、NORゲート83の他方向の入力端子はインバータ7の出力端子に接続されて選択信号RLGが入力される。NANDゲート82の出力端子はpチャンネルMOSFET 84のゲートに接続され、NORゲート83の出力

端子はnチャンネルMOSFET 85のゲートに接続されている。

【0099】また、pチャンネルMOSFET 84のドレインは電源端子VCC2に接続されて“High”レベルの電位VCCに保持されており、nチャンネルMOSFET 85のソースは電源端子GND2に接続されて“Low”レベルの電位GNDに保持されている。さらに、pチャンネルMOSFET 84のソースはnチャンネルMOSFET 85のドレインに接続されており、その接続点は入出力端子CL2に接続されている。

【0100】上記の構成のCL入出力バッファCB1・CB2において、選択信号RLGが“Low”レベルの場合、CL入出力バッファCB1は、入力バッファ回路50のpチャンネルMOSFET 54およびnチャンネルMOSFET 55のいずれか一方がON状態で他方がハイインピーダンス状態となる一方、出力バッファ回路60のpチャンネルMOSFET 64およびnチャンネルMOSFET 65がいずれもハイインピーダンス状態となることにより入力バッファとして動作する。このとき同様に、CL入出力バッファCB2は出力バッファとして動作する。選択信号RLGが“High”レベルの場合、上記の逆となり、CL入出力バッファCB1は出力バッファとして動作し、CL入出力バッファCB2は入力バッファとして動作する。

【0101】以上の選択信号RLGの論理レベルに対するSP入出力バッファSB1・SB2およびCL入出力バッファCB1・CB2の入出力モードを表1にまとめて示す。

【0102】

【表1】

入出力バッファ	選択信号RLG	
	“Low”	“High”
SP入出力バッファSB1	出力バッファ	入力バッファ
SP入出力バッファSB2	入力バッファ	出力バッファ
CL入出力バッファCB1	入力バッファ	出力バッファ
CL入出力バッファCB2	出力バッファ	入力バッファ

【0103】このように、入力機能と出力機能との切り換えが可能な入出力バッファを用いることにより、以下で述べるスタートパルス信号SPGおよびクロック信号CLGの伝搬方向の設定に対して容易に回路を構成することができる。

【0104】また、双方向シフトレジスタ回路561についても上記入出力バッファと同様の考えに基づき、例えばシフトレジスタを構成するフリップフロップ群を正方向ならびに逆方向に接続した回路双方を用意しておき、各々を選択信号RLGによりいずれか一方のフリ

ップフロップ群を選択する構成とすることができる。あるいは、各フリップフロップごとに入出力バッファのような入出力を切り換える回路を挿入した構成としてもよい。

【0105】次に、上記の構成のゲートドライバ群2におけるスタートパルス信号SP<sub>G</sub>およびクロック信号CL<sub>G</sub>の伝搬について、図5および図6を用いて説明する。

【0106】図5はゲートドライバGD<sub>k</sub> (k=1, 2, ..., m-1) とゲートドライバGD (k+1) との縦続接続が行われている状態を示した回路ブロック図である。同図においては、スタートパルス信号SP<sub>G</sub>をゲートドライバGD<sub>k</sub>からゲートドライバGD (k+1) の方向へ伝搬させるとともに、クロック信号CL<sub>G</sub>をゲートドライバGD (k+1) からゲートドライバGD<sub>k</sub> の方向へ伝搬させるために、選択信号RL<sub>G</sub>が“High”レベルに設定されている。すなわち、SP入出力バッファSB1およびCL入出力バッファCB2は入力バッファとして動作し、SP入出力バッファSB2およびCL入出力バッファCB1は出力バッファとして動作する。また、これに伴って入出力端子SP1・CL2は入力端子として機能し、入出力端子SP2・CL1は出力端子として機能する。

【0107】ゲートドライバGD<sub>k</sub>およびゲートドライバGD (k+1) の双方向シフトレジスタ回路561は、フリップフロップF/F1からフリップフロップF/F<sub>i</sub>までの多段のフリップフロップがラッチ回路として接続された状態に構成されている。ゲートドライバGD<sub>k</sub>の双方向シフトレジスタ回路561内では隣接するフリップフロップのD端子とQ端子とが接続され、最終段のフリップフロップF/F<sub>i</sub>のQ端子はSP入出力バッファSB2および入出力端子SP2を介して外部に取り出され、ゲートドライバGD (k+1) の入出力端子SP1およびSP入出力バッファSB1を介してその初段のフリップフロップF/F1のD端子に接続されている。

【0108】また、ゲートドライバGD (k+1) 内のクロック信号線はCL入出力バッファCB1および入出力端子CL1を介して外部に取り出され、入出力端子CL2およびCL入出力バッファCB2を介してゲートドライバGD<sub>k</sub>内のクロック信号線に接続されている。クロック信号線からは、ゲートドライバGD<sub>k</sub>・GD (k+1) 内の各フリップフロップのCK端子と内部ロジック回路とにクロック信号CL<sub>G</sub>が供給される。スタートパルス信号SP<sub>G</sub>は、供給されるクロック信号CL<sub>G</sub>の立ち上がりに同期して紙面上の左側のフリップフロップから右側のフリップフロップへと順次転送される。さらに、この場合には各フリップフロップのQ出力は前述のレベルシフト回路562にも出力され、ドライバLSIがソースドライバの場合には前述の出力回路572にも

出力される。

【0109】今、ゲートドライバGD<sub>k</sub>内でのクロック信号CL<sub>G</sub>を信号CK1、フリップフロップF/F (i-1) のD端子に入力されるスタートパルス信号SP<sub>G</sub>を信号D1、フリップフロップF/F (i-1) のQ端子から出力されフリップフロップF/F<sub>i</sub>のD端子に入力されるスタートパルス信号SP<sub>G</sub>を信号D2、フリップフロップF/F<sub>i</sub>のQ端子から出力されるスタートパルス信号SP<sub>G</sub>を信号D3、ドライバGD (k+1) 内でのクロック信号CL<sub>G</sub>を信号CK2、フリップフロップF/F1のD端子に入力されるスタートパルス信号SP<sub>G</sub>を信号D4、フリップフロップF/F1のQ端子から出力されフリップフロップF/F2のD端子に入力されるスタートパルス信号SP<sub>G</sub>を信号D5とする。

【0110】この場合、上記各信号のタイミングチャートは図6のようになる。信号CK2がCL入出力バッファCB1・CB2を介して信号CK1となるために、その伝搬時間と波形なまりとにより、信号CK1は信号CK2に対して時間T (T>0) だけ遅延する。すなわち、信号CK2は信号CK1に対して時間Tに相当する位相差だけ進んだものとなる。従って、信号D1・D2が信号CK1の立ち上がりに同期してラッチ・伝搬された結果の信号D3が、SP入出力バッファSB2・SB1を介することによりわずかに遅延した信号D4としてゲートドライバGD (k+1) に供給されると、フリップフロップF/F1は、信号D4が立ち下がる直前に立ち上がる信号CK2によって信号D4をラッチして信号D5を出力する。

【0111】このように、スタートパルス信号SP<sub>G</sub>とクロック信号CL<sub>G</sub>とをゲートドライバの縦続接続方向に対して互いに逆方向に伝搬させることにより、信号D5を正しいタイミングで出力することができ、これを基に生成されるゲートパルスは正しいタイミングで出力回路563からゲートバスラインに出力されるので、従来のように液晶モジュール1が誤動作を起こすようなことがない。これにより、表示画面の画素数の増加への対応、つまりゲートドライバ内部のシフトレジスタ回路561の段数の増加や、クロック信号CL<sub>G</sub>の高速化、ゲートドライバ数の増加を図ることができる。

【0112】なお、信号D4と信号D5との間には、同図に示すように時間Dなる重なり時間が生じるが、この時間は数十nsec (ナノ秒) オーダーの時間である。従って、これらの信号に基づいて生成された駆動信号が出力回路563などを介してゲートバスラインへのゲートパルスとして、あるいはソースドライバの場合にはドレインバスラインへの表示データに対応する電圧として液晶パネル5に印加される際には、液晶素子の容量に基づいた波形なまりによる上記重なり時間の消滅が起こるとともに、充分長い1水平同期期間の間T<sub>DOT</sub>が印加電圧を保持することから、液晶素子へ悪影響が及ぶことが

なく、表示品位の低下などの問題は生じない。

【0113】以上の構成の液晶モジュール1は、ゲートドライバ群2内でスタートパルス信号SP<sub>G</sub>をゲートドライバGD1からゲートドライバGD<sub>m</sub>の方向へ、またクロック信号CL<sub>G</sub>をゲートドライバGD<sub>m</sub>からゲートドライバGD1の方向へ伝搬させるものであったが、図7に示すように、両信号をゲートドライバ群2内でそれぞれ上記とは逆に伝搬するように構成した液晶モジュール91もちろん可能である。

【0114】この場合は、ゲートドライバGD<sub>m</sub>のゲートドライバ群2端部側の入出力端子SP2をプリント基板92上の配線を介して、ゲートドライバGD1側に配置したコントローラ4に接続し、ゲートドライバGD1のゲートドライバ群2端部側の入出力端子CL1、入力端子RL1、および電源端子VDD1・VCC1・GND1をコントローラ4に接続する。また、SP入出力バッファSB1・SB2およびCL入出力バッファCB1・CB2をそれぞれ液晶モジュール1の場合とは逆の状態で作動させるために、選択信号RL<sub>G</sub>を“Low”レベルに設定する。

【0115】このように、各信号の伝搬方向が可逆であるゲートドライバ群2を用いることによって、コントローラ4の配置を可変にすることができる。

【0116】最後に各ゲートドライバの各TCPへの実装と、各TCPの液晶モジュール1・91への実装について述べる。図8は上記実装の状態を説明する断面図である。内部配線がA1で形成されるゲートドライバGD<sub>j</sub> (j=1, 2, …, m)の各入出力端子は、絶縁フィルムからなるTCP基材101の一面に設けられたCu配線102のうちスルーホール103上に突出させたインナーリード端子102a…にバンプ104…を介して接続される。Cu配線102上にはソルダーレジスト105が形成されている。このようにゲートドライバGD<sub>j</sub>が実装され、可撓性のTCPgd<sub>j</sub> (j=1, 2, …, m)が構成される。

【0117】また、TCPgd<sub>j</sub>の液晶パネル5への実装は、上ガラス5aよりも大面積とされる下ガラス5b上に設けられたITO (Indium Tin Oxide: インジウムスズ酸化物) からなる端子106上に、TCPgd<sub>j</sub>のCu配線102の出力側に設けられたアウターリード端子102b…がACF (Anisotropic Conductive Film: 異方性導電膜) 107…を介して熱圧着されることにより行われる。

【0118】さらに、TCPgd<sub>j</sub>のプリント基板3・92への実装は、TCPgd<sub>j</sub>のCu配線102の入力側に設けられたアウターリード端子102c…がハンダ108…によってプリント基板3・92上の配線と接続されることにより行われる。なお、ハンダ108…の代りに先のACF107…を用いることもできる。

【0119】〔実施の形態2〕本発明の表示用駆動装置

およびそれを用いた液晶モジュールの実施の他の形態について図9ないし図17に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記の実施の形態1の図面に示した構成要素と同一の機能を有する構成要素については、同一の符号を付し、その説明を省略する。また、ここでは表示用駆動装置としてゲートドライバ群を例に挙げるが、その特徴点およびそれを用いた液晶モジュールの特徴点をソースドライバ群に対しても適用することができるのは実施の形態1と同様である。

10 【0120】本実施の形態の液晶モジュール111・121の構成をそれぞれ図9および図10に示す。ゲートドライバ群112は、コントローラ4から、スタートパルス信号SP<sub>G</sub>が最初に入力されるゲートドライバの入出力端子SP1または入出力端子SP2に至るまでの配線を全てプリント基板3・92上で引き廻していた実施の形態1とは異なり、入力されたデータをそのまま出力するデータ用回路が新たに内部に設けられたゲートドライバGD1'・GD2'・…・GD<sub>m</sub>'からなり、それらの縦続接続を利用してコントローラ4から上記入出力端子SP1または入出力端子SP2に至るまでスタートパルス信号SP<sub>G</sub>を上記データ用回路を用いて極力ゲートドライバ内で伝搬させるものである。また、各ゲートドライバは、上記配線の変更に合わせて構成されたTCPgd1'・gd2'・…・gd<sub>m</sub>'に実装されている。

30 【0121】図9の液晶モジュール111は、スタートパルス信号SP<sub>G</sub>をゲートドライバGD1'からゲートドライバGD<sub>m</sub>'の方向へ、またクロック信号CL<sub>G</sub>をゲートドライバGD<sub>m</sub>'からゲートドライバGD1'の方向へ伝搬させる構成において、コントローラ4のスタートパルス信号SP<sub>G</sub>の出力端子をゲートドライバGD<sub>m</sub>'のデータ用回路の入出力端子DATA2に接続し、ゲートドライバGD1'のデータ用回路の入出力端子DATA1を同じゲートドライバGD1'の入出力端子SP1に接続したものである。各ゲートドライバはデータ用回路の入出力端子DATA1・DATA2に対しても縦続接続されている。なお、プリント基板113はこのような接続に対応するため、コントローラ4とゲートドライバGD<sub>m</sub>'の入出力端子DATA2との間、各ゲートドライバの入出力端子DATA2と次段のゲートドライバの入出力端子DATA1との間、およびゲートドライバGD1'の入出力端子DATA1と入出力端子SP1との間に新たな配線が施されたものである。

40 【0122】また、図10の液晶モジュール121は、スタートパルス信号SP<sub>G</sub>をゲートドライバGD<sub>m</sub>'からゲートドライバGD1'の方向へ、またクロック信号CL<sub>G</sub>をゲートドライバGD1'からゲートドライバGD<sub>m</sub>'の方向へ伝搬させる構成において、コントローラ4のスタートパルス信号SP<sub>G</sub>の出力端子をゲートドライバGD1'のデータ用回路の入出力端子DATA1に接

続し、ゲートドライバGDm' のデータ用回路の入出力端子DATA2を同じゲートドライバGD1' の入出力端子SP2に接続したものである。各ゲートドライバはデータ用回路の入出力端子DATA1・DATA2に対しても縦続接続されている。なお、プリント基板122はこのような接続に対応するため、コントローラ4とゲートドライバGD1' の入出力端子DATA1との間、各ゲートドライバの入出力端子DATA2と次段のゲートドライバの入出力端子DATA1との間、およびゲートドライバGDm' の入出力端子DATA2と入出力端子SP2との間に新たな配線が施されたものである。

【0123】上記ゲートドライバ群112における一つのゲートドライバの回路ブロック図を図11に示す。このゲートドライバは、実施の形態1で述べたゲートドライバに入出力端子DATA1（または入出力端子DATA2）から入力されたデータをそのまま入出力端子DATA2（または入出力端子DATA1）から出力するデータ用回路を付加した構成であり、入出力端子DATA1にDATA入出力バッファDB1が、また入出力端子DATA2にDATA入出力バッファDB2が設けられている。DATA入出力バッファDB1・DB2にはインバータ6・7の出力が入力され、選択信号RLGの論理レベルに応じて入出力の動作が切り換えられるようになっている。

【0124】DATA入出力バッファDB1・DB2の具体的な回路構成を図12に示す。DATA入出力バッファDB1は、バッファ131、NANDゲート132、NORゲート133、pチャンネルMOSFET134、およびnチャンネルMOSFET135からなる入力バッファ回路130と、バッファ141、NANDゲート142、NORゲート143、pチャンネルMOSFET144、およびnチャンネルMOSFET145からなる出力バッファ回路140とからなる。

【0125】入力バッファ回路130において、バッファ131は入力端子が入出力端子DATA1に接続され、出力端子がNANDゲート132の一方の入力端子とNORゲート133の一方の入力端子とに接続されている。NANDゲート132の他方の入力端子はインバータ6の出力端子に接続されて選択信号／RLGが入力され、NORゲート133の他方の入力端子はインバータ7の出力端子に接続されて選択信号RLGが入力される。NANDゲート132の出力端子はpチャンネルMOSFET134のゲートに接続され、NORゲート133の出力端子はnチャンネルMOSFET135のゲートに接続されている。

【0126】また、pチャンネルMOSFET134のドレインは電源端子VCC1あるいは電源端子VCC2に接続されて“High”レベルの電位VCCに保持されており、nチャンネルMOSFET135のソースは電源端子GND1あるいは電源端子GND2に接続され

て“Low”レベルの電位GNDに保持されている。さらに、pチャンネルMOSFET134のソースはnチャンネルMOSFET135のドレインに接続されており、その接続点は双方向シフトレジスタ回路561の初段のラッチ回路LAT1に接続されている。

【0127】出力バッファ回路140において、バッファ141の入力端子は先述の双方向シフトレジスタ回路561の初段のラッチ回路LAT1に接続され、出力端子はNANDゲート142の一方の入力端子とNORゲート143の一方の入力端子とに接続されている。NANDゲート142の他方の入力端子はインバータ7の出力端子に接続されて選択信号RLGが入力され、NORゲート143の他方の入力端子はインバータ6の出力端子に接続されて選択信号／RLGが入力される。NANDゲート142の出力端子はpチャンネルMOSFET144のゲートに接続され、NORゲート143の出力端子はnチャンネルMOSFET145のゲートに接続されている。

【0128】また、pチャンネルMOSFET144のドレインは電源端子VCC1あるいは電源端子VCC2に接続されて“High”レベルの電位VCCに保持されており、nチャンネルMOSFET145のソースは電源端子GND1あるいは電源端子GND2に接続されて“Low”レベルの電位GNDに保持されている。さらに、pチャンネルMOSFET144のソースはnチャンネルMOSFET145のドレインに接続されており、その接続点は入出力端子DATA1に接続されている。

【0129】次に、DATA入出力バッファDB2は、バッファ151、NANDゲート152、NORゲート153、pチャンネルMOSFET154、およびnチャンネルMOSFET155からなる入力バッファ回路150と、バッファ161、NANDゲート162、NORゲート163、pチャンネルMOSFET164、およびnチャンネルMOSFET165からなる出力バッファ回路160とからなる。

【0130】入力バッファ回路150において、バッファ151の入力端子は入出力端子DATA2に接続され、出力端子はNANDゲート152の一方の入力端子とNORゲート153の一方の入力端子とに接続されている。NANDゲート152の他方の入力端子はインバータ7の出力端子に接続されて選択信号RLGが入力され、NORゲート153の他方の入力端子はインバータ6の出力端子に接続されて選択信号／RLGが入力される。NANDゲート152の出力端子はpチャンネルMOSFET154のゲートに接続され、NORゲート153の出力端子はnチャンネルMOSFET155のゲートに接続されている。

【0131】また、pチャンネルMOSFET154のドレインは電源端子VCC1あるいは電源端子VCC2



に接続されて“High”レベルの電位VCCに保持されており、nチャンネルMOSFET155のソースは電源端子GND1あるいは電源端子GND2に接続されて“Low”レベルの電位GNDに保持されている。さらに、pチャンネルMOSFET154のソースはnチャンネルMOSFET155のドレインに接続されており、その接続点は双方向シフトレジスタ回路561の最終段のラッチ回路LATiに接続されている。

【0132】出力バッファ回路160において、バッファ161の入力端子は先述の双方向シフトレジスタ回路561の最終段のラッチ回路LATiに接続され、出力端子がNANDゲート162の一方の入力端子とNORゲート163の一方の入力端子とに接続されている。NANDゲート162の他方の入力端子はインバータ6の出力端子に接続されて選択信号RLGが入力され、NORゲート163の他方の入力端子はインバータ7の出力端子に接続されて選択信号RLGが入力される。NANDゲート162の出力端子はpチャンネルMOSFET164のゲートに接続され、NORゲート163の出力端子はnチャンネルMOSFET165のゲートに接続されている。

【0133】また、pチャンネルMOSFET164のドレインは電源端子VCC1あるいは電源端子VCC2に接続されて“High”レベルの電位VCCに保持されており、nチャンネルMOSFET165のソースは電源端子GND1あるいは電源端子GND2に接続されて“Low”レベルの電位GNDに保持されている。さ

らに、pチャンネルMOSFET164のソースはnチャンネルMOSFET165のドレインに接続されており、その接続点は入出力端子DATA2に接続されている。

【0134】上記の構成のDATA入出力バッファDB1・DB2において、選択信号RLGが“Low”レベルの場合、DATA入出力バッファDB1は、入力バッファ回路130のpチャンネルMOSFET134およびnチャンネルMOSFET135のいずれか一方がON状態で他方がハイインピーダンス状態となる一方、出力バッファ回路140のpチャンネルMOSFET144およびnチャンネルMOSFET145がいずれもハイインピーダンス状態となることにより入力バッファとして動作する。このとき同様に、DATA入出力バッファDB2は出力バッファとして動作する。選択信号RLGが“High”レベルの場合、上記の逆となり、DATA入出力バッファDB1は出力バッファとして動作し、DATA入出力バッファDB2は入力バッファとして動作する。

【0135】以上の選択信号RLGの論理レベルに対するDATA入出力バッファDB1・DB2の入出力モードを、SP入出力バッファSB1・SB2およびCL入出力バッファCB1・CB2の入出力モードとともに表2にまとめて示す。

【0136】

【表2】

入出力バッファ	選択信号RLG	
	“Low”	“High”
SP入出力バッファSB1	出力バッファ	入力バッファ
SP入出力バッファSB2	入力バッファ	出力バッファ
CL入出力バッファCB1	入力バッファ	出力バッファ
CL入出力バッファCB2	出力バッファ	入力バッファ
DATA入出力バッファDB1	入力バッファ	出力バッファ
DATA入出力バッファDB2	出力バッファ	入力バッファ

【0137】表2に従い、図9の液晶モジュール111の場合には選択信号RLGを“High”レベルとし、DATA入出力バッファDB1を出力バッファとして、またDATA入出力バッファDB2を入力バッファとし

て動作させることにより、コントローラ4から出力されたスタートパルス信号SPGをゲートドライバGDm'からゲートドライバGD1'の方向へ伝搬させた後、ゲートドライバGD1'の入出力端子SP1に入力する。

【0138】また、図10の液晶モジュール121の場合には選択信号RLGを“Low”レベルとし、DATA入出力バッファDB1を入力バッファとして、またDATA入出力バッファDB2を出力バッファとして動作させることにより、コントローラ4から出力されたスタートパルス信号SPGをゲートドライバGD1'からゲートドライバGDm'の方向へ伝搬させた後、ゲートドライバGDm'の入出力端子SP2に入力する。

【0139】液晶モジュール111・121のいずれの場合にも、データとしてデータ用回路に入力されたスタートパルス信号SPGは、入出力端子SP1あるいは入出力端子SP2に到達するまでクロック信号CLGと同一方向に伝搬される。

【0140】このように、実施の形態1で述べたプリント基板3上に設けられた外部配線を用いずにデータ用回路の配線を用いて、スタートパルス信号SPGを極力縦続接続されたゲートドライバの内部を伝搬させることにより、プリント基板上の配線を減少させた分プリント基板の幅を縮小して面積を低減させることができるとともに、スタートパルス信号SPGが入出力端子SP1あるいは入出力端子SP2に入力されるまでの波形なまりを低減し、外部からの雑音の影響を受けにくくすることができる。

【0141】この後、スタートパルス信号SPGとクロック信号CLGとは、実施の形態1と同様にゲートドライバ群112の内部を互いに逆方向に伝搬する。従って、スタートパルス信号SPGを正しいタイミングでラッチして出力することができ、これを基に生成されるゲートパルスは正しいタイミングで出力回路563からゲートバスラインに出力されるので、従来のように液晶モジュールが誤動作を起こすようなことがない。

【0142】さらに、本実施の形態のゲートドライバ群112を用いると、図13に示すような実装を行うことができる。同図では、液晶パネル5に用いられる下ガラス5bを上ガラス5aよりも大面積のものとし、下ガラス5bの露出部分にゲートドライバGDj'が実装されたTCPgdj' (j=1, 2, ..., m) 同士を接続する配線(ITO配線)と、TCPgdj'と液晶パネル5とを接続する配線(ITO配線)とを設けている。接続用配線171は、隣接するTCPのアウターリード端子同士の接続に用いられ、接続用配線172はゲートドライバGD1'の入出力端子DATA1から引き出されたアウターリード端子と入出力端子SP1から引き出されたアウターリードとの間、あるいはゲートドライバGDm'の入出力端子DATA2から引き出されたアウターリード端子と入出力端子SP2から引き出されたアウターリード端子との間の接続に用いられる。

【0143】この場合、TCPgdj'の出力側のアウターリード端子102b...と液晶パネル5上の接続用配線106との接続と同時に、TCPgdj'の入力側の

アウターリード端子102c...と液晶パネル5上の接続用配線171・172との接続にもACFの熱圧着を用いることができるので、コストダウンを図ることができる。

【0144】このような構成とすることによりプリント基板113・122を省略することができ、液晶モジュールの小型化の要求に応じてゲートドライバ群112の実装領域の縮小化を実現することが可能になる。

【0145】なお、図9に示す液晶モジュール111は、ゲートドライバGD1'の入出力端子DATA1から引き出されたTCPgd1'の入力側アウターリード端子と、ゲートドライバGD1'の入出力端子SP1から引き出されたTCPgd1'の入力側アウターリード端子とを、TCPgd1'との間に段差を有するプリント基板113、すなわちフレキシブル基板上の配線で接続するものであった。同じく図10に示す液晶モジュール121は、ゲートドライバGDm'の入出力端子DATA2から引き出されたTCPgdm'の入力側アウターリード端子とゲートドライバGDm'の入出力端子SP2から引き出されたTCPgdm'の入力側アウターリード端子とを、TCPgdm'との間に段差を有するプリント基板(フレキシブル基板)122上の配線で接続するものであった。さらに、図13に示す実装方法においても、上記入力側アウターリード端子同士を、TCPgdj'との間に段差を有する基板としての下ガラス5b上の接続用配線172で接続していた。

【0146】このような段差を介した入力側アウターリード端子同士の接続において、段差部による配線の断線および接続不良が問題となるような場合には、図14に示すようなゲートドライバ群113を用いて液晶モジュール125を構成するとよい。同図の液晶モジュール125においてゲートドライバ群113は、図15に示すように入出力端子SP1と入出力端子DATA1とを隣接させるとともに、入出力端子SP2と入出力端子DATA2とを隣接させたゲートドライバGDj" (j=1, 2, ..., m) からなる。ゲートドライバGDj"のその他の構成については図11と同様である。

【0147】各ゲートドライバGDj"はTCPgdj"に実装された状態で入力側アウターリード端子によって縦続接続される。TCPgdj"間はプリント基板126上の配線によって接続される。そして、ゲートドライバGDj"を実装するTCPgdj"のうちTCPgdm"については、入出力端子DATA2から引き出される入力側アウターリード端子と、入出力端子SP2から引き出される入力側アウターリード端子とをTCPgdm"上で短絡させて接続するようにする。

【0148】コントローラ4はゲートドライバGD1"側に設けられ、コントローラ4から出力されたスタートパルス信号SPGはゲートドライバGD1"の入出力端子DATA1から入力されてゲートドライバGDm"の

方向に伝搬し、ゲートドライバGDm”において入出力端子DATA2から入出力端子SP2に入力されて伝搬方向が反転される。また、各ゲートドライバGDj”はTCPgdj”の出力側アウターリード端子によって液晶パネル5に接続されている。なお、コントローラ4の配置をゲートドライバGDm”側とし、TCPgd1”上で上記入力側アウターリード端子の短絡を行ってもよい。

【0149】次に、上記TCPgdj”の構成および作製方法について図16および図17を用いて説明する。図16は一般的なTCPの概念的な平面図である。TCPは絶縁性フィルム200を基材として作製され、絶縁性フィルム200の搬送方向に直交する方向の両脇に、搬送および搬送時の位置決め用のスプロケットホール201…を予め形成する。TCPの作製時には、まずスプロケットホール201…より内側に半導体チップを実装するための半導体チップ用開口部202を形成する。本実施の形態において半導体チップはゲートドライバに相当する。そして、絶縁性フィルム200上に銅箔などの金属箔のラミネートを行い、エッチングなどにより所定の配線203のパターニングを一括して行う。

【0150】配線203のうち、半導体チップ用開口部202内に突出する部分が半導体チップに接続されるインナーリード端子203a…であり、インナーリード端子203a…から反対側に引き出される部分が外部回路との接続に用いられるアウターリード端子203b…～203e…である。例えば本実施の形態においては、アウターリード端子203c…・203e…は入力側アウターリード端子に相当し、アウターリード端子203b…は出力側アウターリード端子に相当する。

【0151】アウターリード端子203b…～203e…のさらに外側の部分は、半導体チップ用開口部202で半導体チップをインナーリード端子203a…に接続した後、TCPの動作テストを行うための電氣的選別用パッド203f…である。通常、絶縁性フィルム200において電氣的選別用パッド203f…が設けられた領域は、半導体チップを絶縁性フィルム200に実装してその動作テストが終了した後、TCPを1つつ切り離す際に図示しないユーザエリアの領域線に沿って切り取られてしまう不要な部分である。この切り取り工程が終了するとTCPの作製が終了する。

【0152】上記の説明を基に、図14のTCPgdj”の構成および作製方法をさらに図17を用いて説明する。図17において、絶縁性フィルム200には、入力側アウターリード端子に相当するアウターリード端子203c…が形成されることになる領域の一部に、予め開口部204を形成する。なお、同図には図示しないが、アウターリード端子203e…側にも同じように開口部204を形成する。そして、前述のようにして配線203を形成するときに、LSIチップとして供給され

るゲートドライバGDj”の入出力端子DATA2と入出力端子SP2とのそれぞれから引き出されるアウターリード端子203c・203cが、それらの電氣的選別用パッド203f・203fの手前で短絡するように短絡箇所205を形成しておく。

【0153】次いでゲートドライバGDj”を絶縁性フィルム200に実装してその動作テストを行う。動作テストが終了した後、このゲートドライバGDj”を図14におけるゲートドライバGDm”として用いる場合には、このTCPgdj”、すなわちTCPgdm”の絶縁性フィルム200を、図17に示すように短絡箇所205と電氣的選別用パッド203f…との間の切り取り線Qに沿って切り取り、短絡箇所205を残すようにする。一方、このゲートドライバGDj”をゲートドライバGDj”（j=1, 2, …, m-1）として用いる場合には、このTCPgdj”の絶縁性フィルム200を、短絡箇所205と開口部204との間の切り取り線Pに沿って切り取り、短絡箇所205を残さないようにする。

【0154】このように、全てのTCPgdj”について所定の2つの入力側アウターリード端子同士を予め短絡させて配線を形成しておくので、絶縁性フィルム200の切り取り工程前までは全てのTCPgdj”について同一の製造工程とし、切り取り工程でのみ最終段用とそれ以外とのTCPgdj”に分けることができる。従って、図14のゲートドライバ群113を効率よく製造することができる。また、ゲートドライバGDj”の入出力端子の並び方を変更した場合にも、短絡箇所205を変更するだけで対応するTCPgdj”を作製することができるので、縦続接続の自由度が向上する。

【0155】以上のように、図14の液晶モジュール125の構成によれば、TCPgdj”上の配線のパターニング時に入出力端子DATA2から入出力端子SP2まで一続きの配線を形成することにより、入力側アウターリード端子同士の短絡箇所205を形成することができる。従って、入出力端子DATA2に接続される入力側アウターリード端子と、入出力端子SP2に接続される入力側アウターリード端子とを、段差を介して基板配線で接続する必要がない。これにより、断線および接続不良を防止して電氣的な接続時の信頼性向上やこれに伴う量産性の向上を図ることができる。また以上の構成および製造方法は、図13の実装に際しても適用することができる。この場合には接続用配線172を省略することができる。

【0156】なお、実施の形態1および2では表示用駆動装置がゲートドライバ群である場合について説明してきたが、前述したようにソースドライバ群である場合にも適用することができるのはもちろんである。また、本発明の要旨を逸脱しない範囲において種々の変更が可能であることは言うまでもない。

【0157】また、本発明は液晶駆動装置に限らず、複数の同一の半導体素子を縦続接続し、スタートパルス信号をクロック信号に同期して転送してなるシステム、特に2次元座標におけるX方向およびY方向に駆動回路を具備し、先のスタートパルス信号を基に走査信号を発生させたり、映像信号を時分割に選択して表示を行う表示用駆動装置一般にてその特徴を発揮することができる。

【0158】

【発明の効果】本発明の表示用駆動装置は、以上のように、画像を表示する表示素子の駆動信号を複数の生成段で生成するとともに、上記駆動信号の生成に使用されるスタートパルス信号およびクロック信号の入出力端子に対して縦続接続された複数の駆動用半導体素子を有し、上記駆動用半導体素子は、上記スタートパルス信号および上記クロック信号のそれぞれについて入力端子と出力端子とが入れ替え可能であって、上記スタートパルス信号を上記クロック信号に同期させて上記入力端子から上記出力端子の方向に伝搬させることにより上記駆動信号の生成源となる信号を複数の上記生成段のそれぞれへ時系列的に出力する伝搬回路を有する表示用駆動装置において、上記駆動用半導体素子は、上記スタートパルス信号と上記クロック信号とが縦続接続された複数の上記駆動用半導体素子に対して互いに逆方向に伝搬されるようにそれぞれの上記入力端子および上記出力端子が設けられるとともに、上記スタートパルス信号および上記クロック信号のそれぞれの上記入力端子に入力バッファが設けられ、上記スタートパルス信号および上記クロック信号のそれぞれの上記出力端子に出力バッファが設けられる構成である。

【0159】それゆえ、スタートパルス信号が次段の駆動用半導体素子に伝搬した際に、駆動信号の生成源となる信号を出力するために用いられる同期用のクロック信号は、スタートパルス信号に対する前段の駆動用半導体素子で用いられたクロック信号よりも、入力バッファ1段分と出力バッファ1段分との伝搬時間の和および波形なまりによる遅延時間に相当する位相差だけ進んだものとなる。この結果、駆動信号を生成するためにスタートパルス信号を取り込むタイミングは正確なものとなり、液晶モジュールを正しく動作させることができるという効果を奏する。

【0160】さらに本発明の表示用駆動装置は、以上のように、上記入力バッファおよび上記出力バッファは、外部から与えられる選択信号により入出力の切り換えが可能な入出力バッファである構成である。

【0161】それゆえ、スタートパルス信号およびクロック信号の伝搬方向の設定を変える場合に、入力バッファと出力バッファとを取り替えて設置するといった煩わしさがなくなるとともに、同じ表示用駆動装置を様々な伝搬方向モードに設定することができるという効果を奏する。

【0162】さらに本発明の表示用駆動装置は、以上のように、上記スタートパルス信号の上記入出力バッファと上記クロック信号の上記入出力バッファとは、入出力の方向が互いに逆方向になるように切り換えられる構成である。

【0163】それゆえ、スタートパルス信号の伝搬方向とクロック信号の伝搬方向とを互いに逆方向にする場合の回路を容易に構成することができるという効果を奏する。

10 【0164】さらに本発明の表示用駆動装置は、以上のように、複数の上記駆動用半導体素子はそれぞれ入力されたデータをそのまま出力するデータ用回路をさらに有し、上記データ用回路のデータ入力端子とデータ出力端子とは上記データが上記クロック信号と同一方向に伝搬されるように縦続接続され、上記データの伝搬方向に対して初段となる上記駆動用半導体素子の上記データ入力端子に上記スタートパルス信号が入力され、上記データの伝搬方向に対して最終段となる上記駆動用半導体素子の上記データ出力端子は最終段の上記駆動用半導体素子の上記スタートパルス信号の上記入力端子に接続され、  
20 とともに、上記データ入力端子に入力バッファが設けられ、上記データ出力端子に出力バッファが設けられる構成である。

【0165】それゆえ、スタートパルス信号とクロック信号とを同じ回路から駆動用半導体素子に供給する場合に、この回路から最終段の駆動用半導体素子のスタートパルス信号の入力端子まで、外部配線を用いずにデータ用回路の配線を用いて、スタートパルス信号を縦続接続された駆動用半導体素子の内部を伝搬させることができる。この結果、外部配線を減少させた分、外部配線の基板の面積を低減させることができるとともに、スタートパルス信号が上記最終段の駆動用半導体素子  
30 の入力端子に入るまでの波形なまりを低減し、外部からの雑音の影響を受けにくくすることができるという効果を奏する。

【0166】さらに本発明の表示用駆動装置は、以上のように、上記入力バッファおよび上記出力バッファは、外部から与えられる選択信号により入出力の切り換えが可能な入出力バッファである構成である。

40 【0167】それゆえ、スタートパルス信号、クロック信号、およびデータの伝搬方向の設定を変える場合に、入力バッファと出力バッファとを取り替えて設置するといった煩わしさがなくなるとともに、同じ表示用駆動装置を様々な伝搬方向モードに設定することができるという効果を奏する。

【0168】さらに本発明の表示用駆動装置は、以上のように、上記スタートパルス信号の上記入出力バッファと上記クロック信号の上記入出力バッファとは、入出力の方向が互いに逆方向になるように切り換えられるとともに、上記データの上記入出力バッファと上記クロック  
50

信号の上記入出力バッファとは、入出力の方向が互いに同方向になるように切り換えられる構成である。

【0169】それゆえ、スタートパルス信号の伝搬方向とクロック信号の伝搬方向とを互いに逆方向にし、かつデータ用の配線を設ける場合の回路を容易に構成することができるという効果を奏する。

【0170】さらに本発明の表示用駆動装置は、以上のように、上記駆動用半導体素子は、それぞれ、上記縦続接続に用いられる入力側アウターリード端子と、上記表示素子に接続される出力側アウターリード端子とを有するテープキャリアパッケージに実装され、上記データの伝搬方向に対して最終段となる上記駆動用半導体素子の上記データ出力端子は、上記テープキャリアパッケージ上で所定の上記入力側アウターリード端子同士が短絡されることにより、上記スタートパルス信号の上記入力端子に接続される構成である。

【0171】それゆえ、テープキャリアパッケージ上における配線のパターンニング時にデータ出力端子からスタートパルス信号の入力端子まで一続きの配線を形成することにより、入力側アウターリード端子同士の短絡箇所を形成することができる。従って、データ出力端子に接続される入力側アウターリード端子と、スタートパルス信号の入力端子に接続される入力側アウターリード端子とを、段差を介して基板配線で接続する必要がない。これにより、断線および接続不良を防止して電気的な接続時の信頼性向上やこれに伴う量産性の向上を図ることができるという効果を奏する。

【0172】また、本発明の表示用駆動装置の製造方法は、以上のように、所定の2つの上記入力側アウターリード端子同士を予め短絡させて上記テープキャリアパッケージの配線を形成し、上記データの伝搬方向に対して最終段となる上記駆動用半導体素子が実装される上記テープキャリアパッケージについては短絡箇所を残すようにフィルムを切り取り、他の上記駆動用半導体素子が実装される上記テープキャリアパッケージについては短絡箇所を残さないようにフィルムを切り取ることにより、前項に記載の表示用駆動装置を製造する構成である。

【0173】それゆえ、全てのテープキャリアパッケージについて所定の2つの入力側アウターリード端子同士を予め短絡させて配線を形成しておくので、フィルムの切り取り工程前までは全てのテープキャリアパッケージについて同一の製造工程とし、切り取り工程でのみ最終段用とそれ以外とのテープキャリアパッケージに分けることができる。従って、前項に記載の表示用駆動装置を効率よく製造することができるという効果を奏する。また、駆動用半導体素子の入出力端子の並び方を変更した場合にも、短絡箇所を変更するだけで対応するテープキャリアパッケージを作製することができるので、縦続接続の自由度が向上するという効果を奏する。

【0174】さらに本発明の表示用駆動装置は、以上の

ように、上記表示素子は上記駆動信号が液晶層を有する画素ごとに供給される液晶パネルである構成である。

【0175】それゆえ、表示用駆動装置は液晶パネル上の画素を駆動するゲートドライバ群やソースドライバ群として供されるので、液晶パネルを正確に駆動することができるという効果を奏する。

【0176】また、本発明の液晶モジュールは、以上のように、前項に記載の表示用駆動装置を有する構成である。

【0177】それゆえ、前項に記載の表示用駆動装置を搭載することにより、液晶パネルを正確に駆動することのできる信頼性の高い液晶モジュールを提供することができるという効果を奏する。

#### 【図面の簡単な説明】

【図1】本発明の実施の一形態におけるゲートドライバ群を用いた液晶モジュールの構成を示す平面図である。

【図2】図1のゲートドライバ群を構成する各ゲートドライバの構成を示すブロック図である。

【図3】図2のゲートドライバのSP入出力バッファの構成を示す回路図である。

【図4】図2のゲートドライバのCL入出力バッファの構成を示す回路図である。

【図5】図1のゲートドライバ群内でスタートパルス信号およびクロック信号が伝搬される状態を説明する説明図である。

【図6】図5の説明図におけるスタートパルス信号およびクロック信号の伝搬過程を示すタイミングチャートである。

【図7】図1の液晶モジュールの変形例の構成を示す平面図である。

【図8】図1および図7の液晶モジュールにおける実装状態を説明する断面図である。

【図9】本発明の他の実施の形態におけるゲートドライバ群を用いた液晶モジュールの構成の一例を示す平面図である。

【図10】本発明の他の実施の形態におけるゲートドライバ群を用いた液晶モジュールの構成の他の例を示す平面図である。

【図11】図9および図10のゲートドライバ群を構成する各ゲートドライバの構成を示すブロック図である。

【図12】図11のゲートドライバのDATA入出力バッファの構成を示す回路図である。

【図13】図9および図10のゲートドライバ群を液晶モジュールに実装する方法を説明する平面図である。

【図14】図10の液晶モジュールの構成の変形例を示す平面図である。

【図15】図14の液晶モジュールに用いられるゲートドライバ群を構成する各ゲートドライバの構成を示すブロック図である。

【図16】テープキャリアパッケージの一般的な構成を

示す平面図である。

【図 17】図 14 の液晶モジュールに用いられるテープキャリアパッケージを作製する方法を説明する説明図である。

【図 18】従来の液晶モジュールの構成を示すブロック図である。

【図 19】図 18 の液晶モジュールにおける液晶パネルの等価回路を示す回路図である。

【図 20】図 19 の液晶パネルにおける画素の構成を説明する説明図である。

【図 21】図 18 の液晶モジュールに用いられるゲートドライバ群付近の構成を示す平面図である。

【図 22】図 21 のゲートドライバ群を構成する各ゲートドライバの構成を示すブロック図である。

【図 23】図 18 の液晶モジュールに用いられるソースドライバ群を構成する各ソースドライバの構成を示すブロック図である。

【図 24】図 21 のゲートドライバ群内でスタートパルス信号およびクロック信号が伝搬される状態を説明する説明図である。

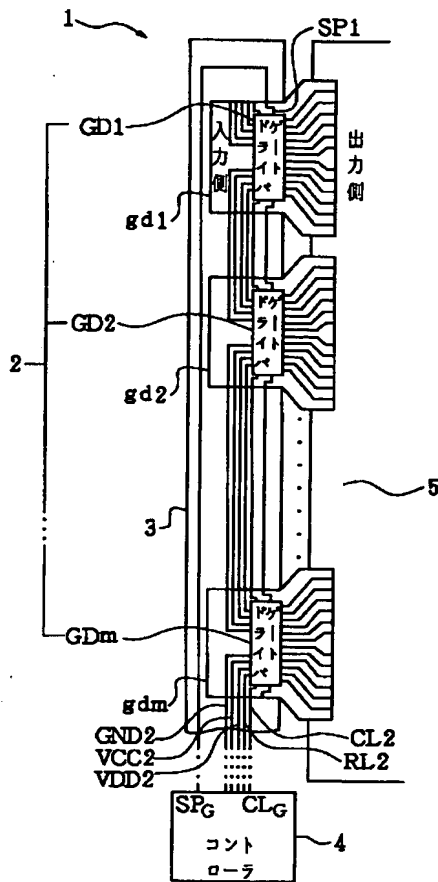
【図 25】図 24 の説明図におけるスタートパルス信号およびクロック信号の伝搬過程を示すタイミングチャートである。

#### 【符号の説明】

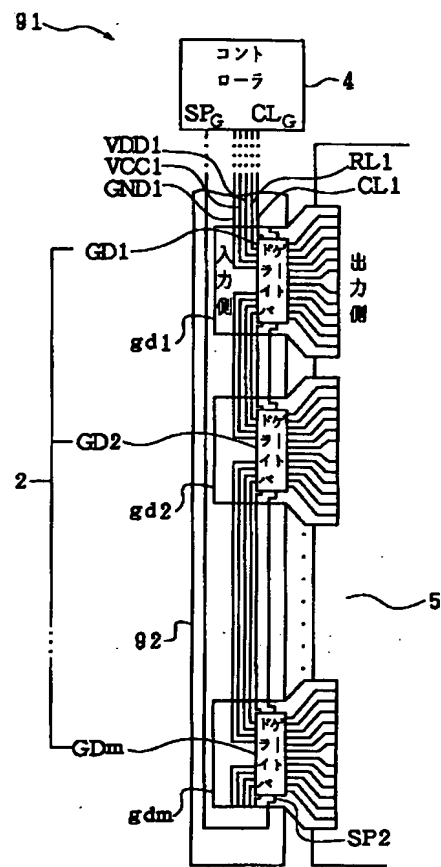
1	液晶モジュール
2	ゲートドライバ群 (表示用駆動装置)
3	プリント基板
4	コントローラ
5	液晶パネル (表示素子)
91	液晶モジュール
92	プリント基板
111	液晶モジュール
112	ゲートドライバ群 (表示用駆動装置)
113	ゲートドライバ群 (表示用駆動装置)
121	液晶モジュール
122	プリント基板
125	液晶モジュール
126	プリント基板
200	絶縁性フィルム (フィルム)
203	配線
203b	アウターリード端子 (出力側アウターリード端子)
203c	アウターリード端子 (入力側アウターリード端子)
203e	アウターリード端子 (入力側アウターリード端子)
205	短絡箇所
561	シフトレジスタ回路 (伝搬回路)
562	レベルシフト回路
563	出力回路

CB1	CL 入出力バッファ (入出力バッファ、入出力バッファ、出力バッファ)
CB2	CL 入出力バッファ (入出力バッファ、入出力バッファ、出力バッファ)
CL1	入出力端子 (入力端子、出力端子)
CL2	入出力端子 (入力端子、出力端子)
CLG	クロック信号
DATA1	入出力端子 (データ入力端子、データ出力端子)
10 DATA2	入出力端子 (データ入力端子、データ出力端子)
DB1	DATA 入出力バッファ (入出力バッファ、入力バッファ、出力バッファ)
DB2	DATA 入出力バッファ (入出力バッファ、入力バッファ、出力バッファ)
GD1・GD2・…・GDm	ゲートドライバ (駆動用半導体素子)
GD1'・GD2'・…・GDm'	ゲートドライバ (駆動用半導体素子)
20 GD1''・GD2''・…・GDm''	ゲートドライバ (駆動用半導体素子)
gd1・gd2・…・gdm	TCP
gd1'・gd2'・…・gdm'	TCP
gd1''・gd2''・…・gdm''	TCP (テープキャリアパッケージ)
GND1	電源端子
GND2	電源端子
30 LAT1・LAT2・…・LATi	ラッチ回路
LS1・LS2・…・LSi	レベルシフト段 (生成段)
OC1・OC2・…・OCi	出力段 (生成段)
RL1	入力端子
RL2	入力端子
RLG	選択信号
SB1	SP 入出力バッファ (入出力バッファ、入出力バッファ、出力バッファ)
40 SB2	SP 入出力バッファ (入出力バッファ、入出力バッファ、出力バッファ)
SP1	入出力端子
SP2	入出力端子
SPG	スタートパルス信号 (データ)
VCC1	電源端子
VCC2	電源端子
VDD1	電源端子
VDD2	電源端子

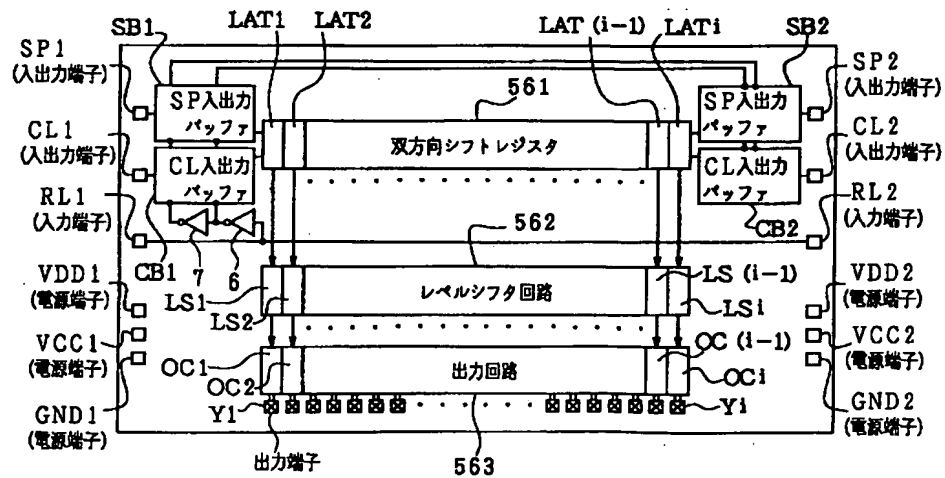
【図1】



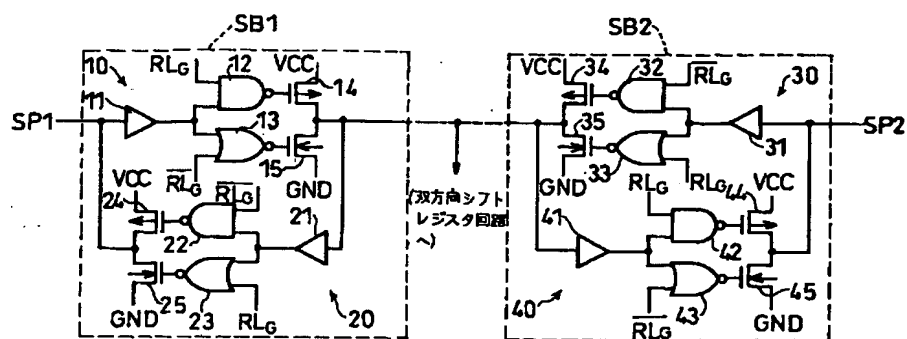
【図7】



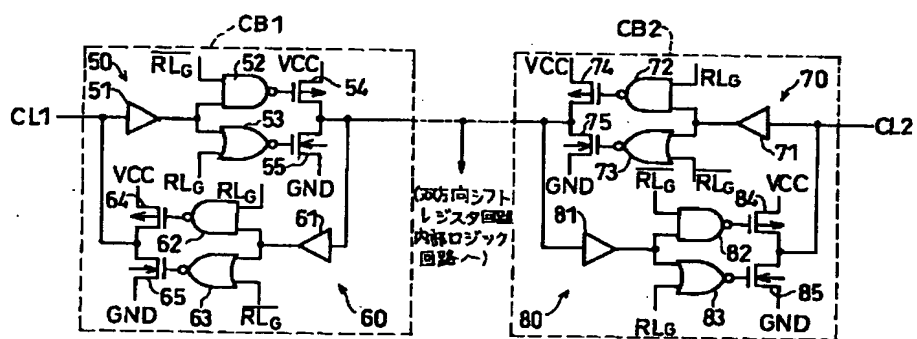
【図2】



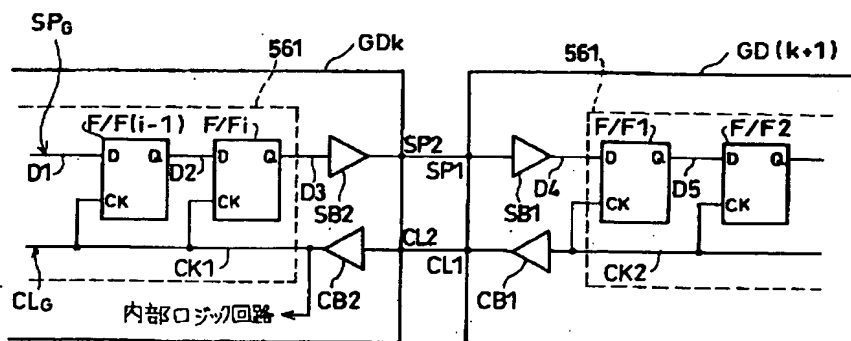
【図3】



【図4】

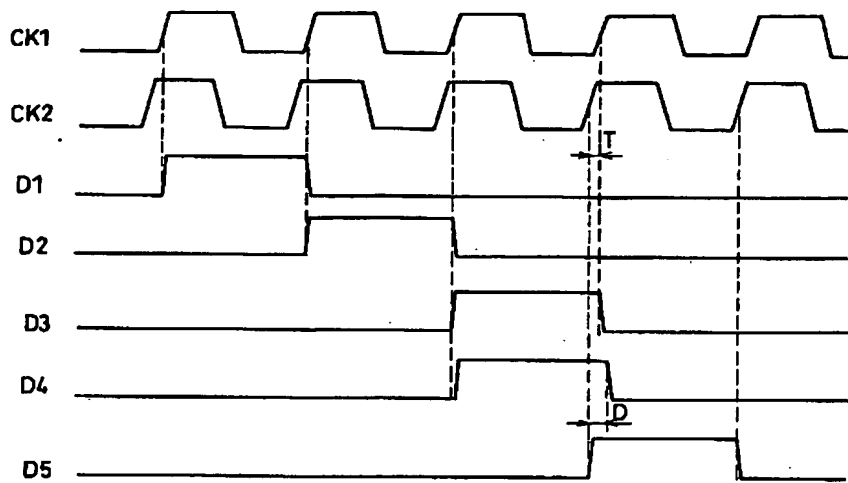


【図5】

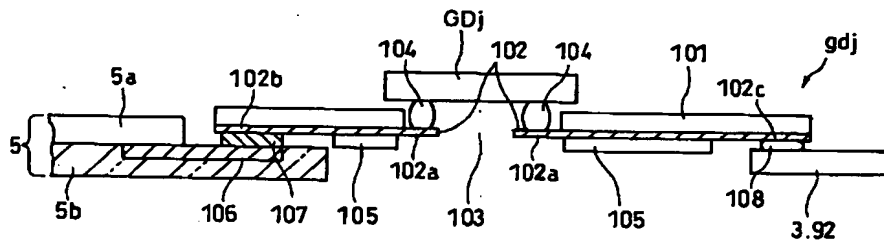




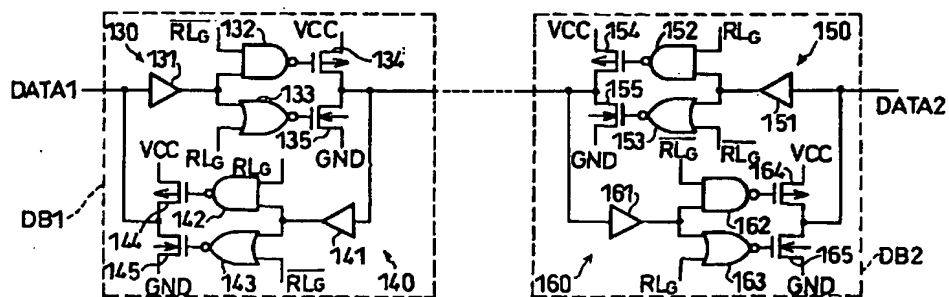
【図6】



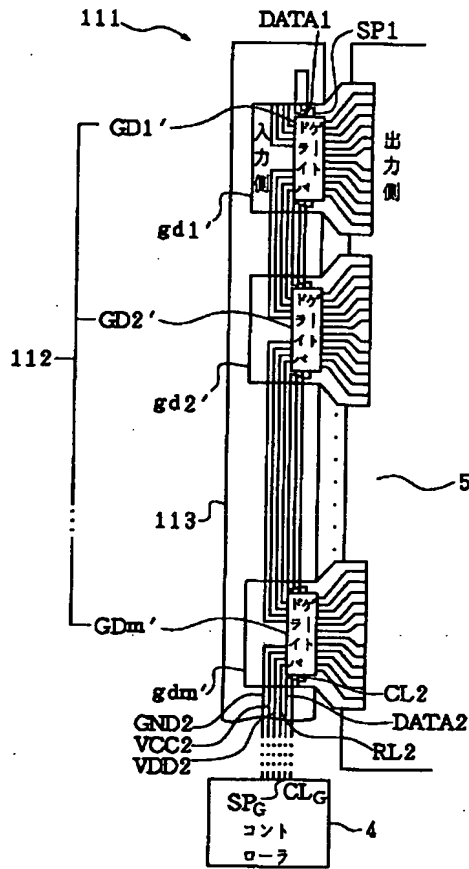
【図8】



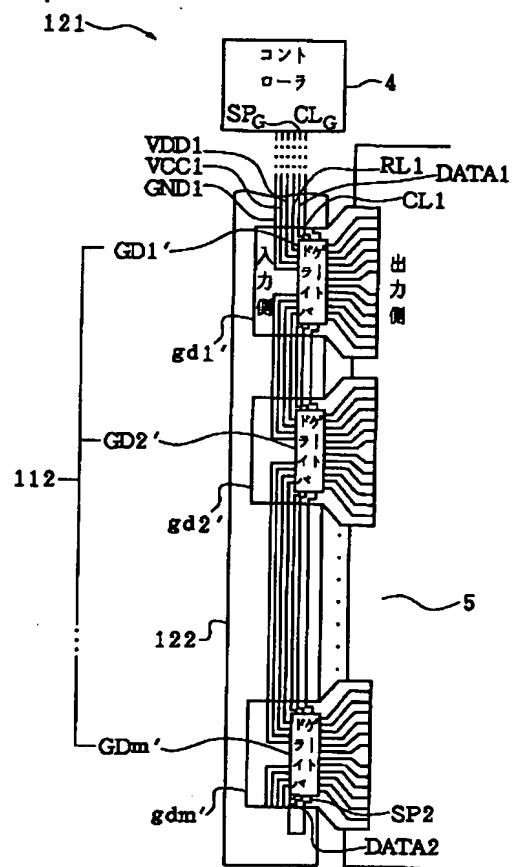
【図12】



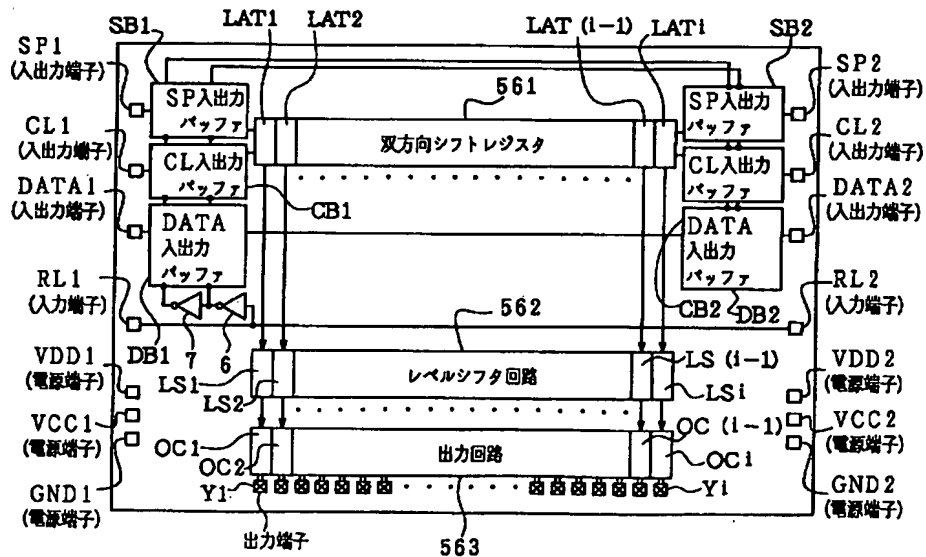
【図9】



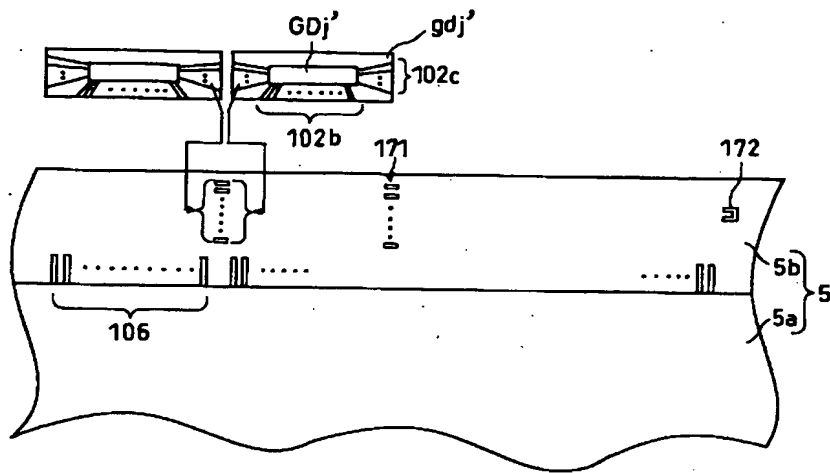
【図10】



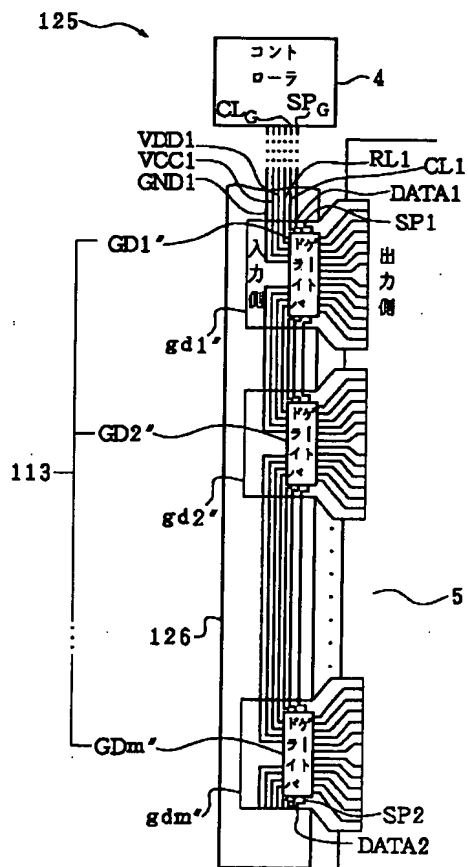
【図11】



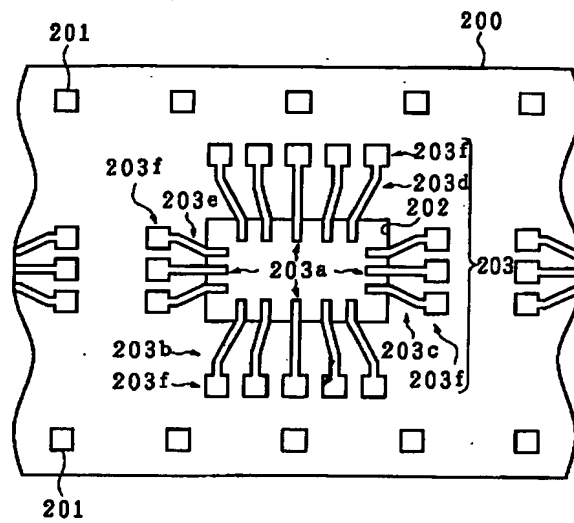
【図13】



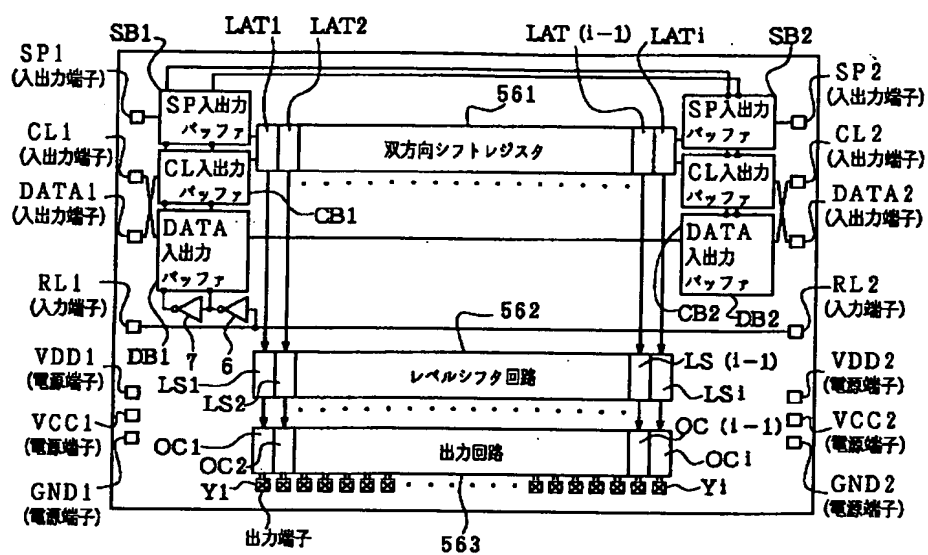
【図14】



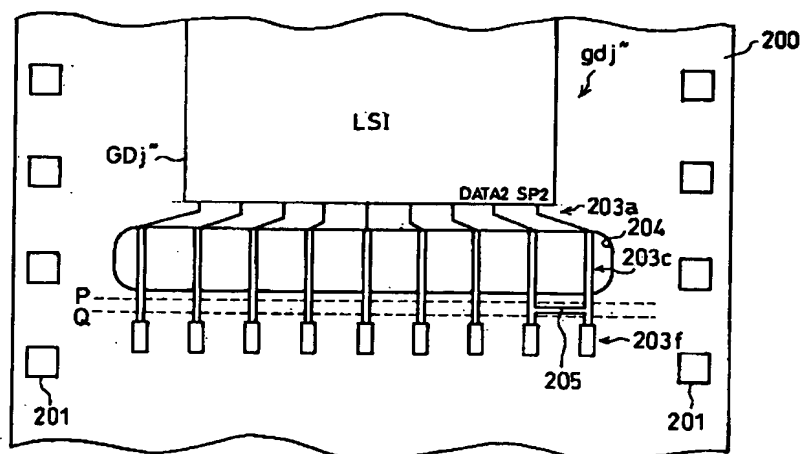
【図16】



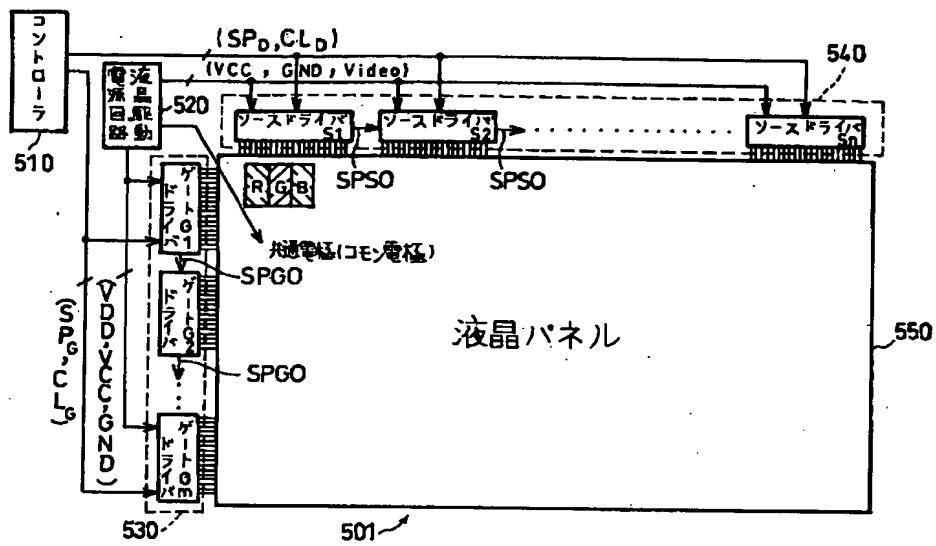
【図15】



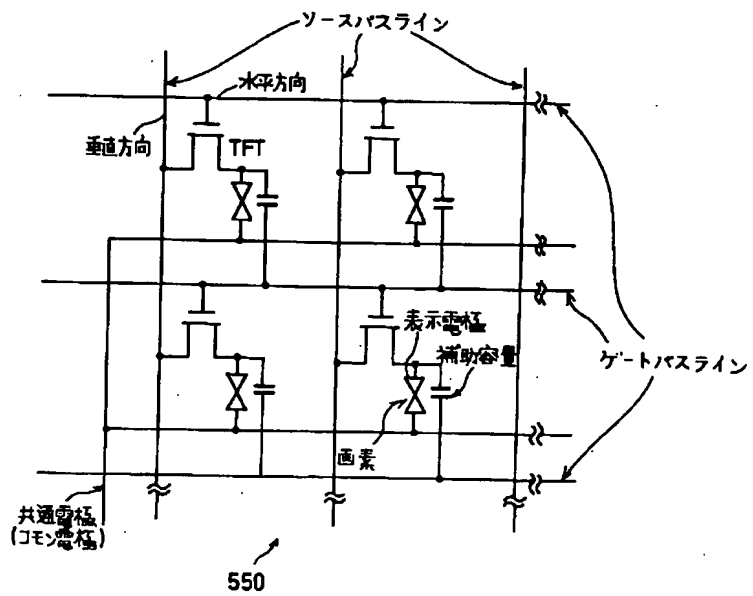
【図17】



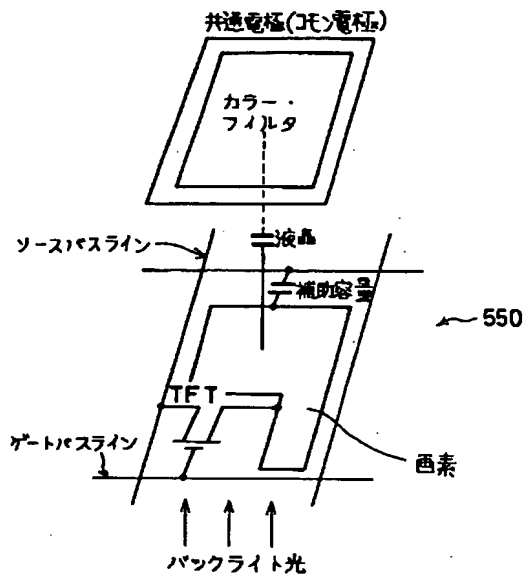
【図 18】



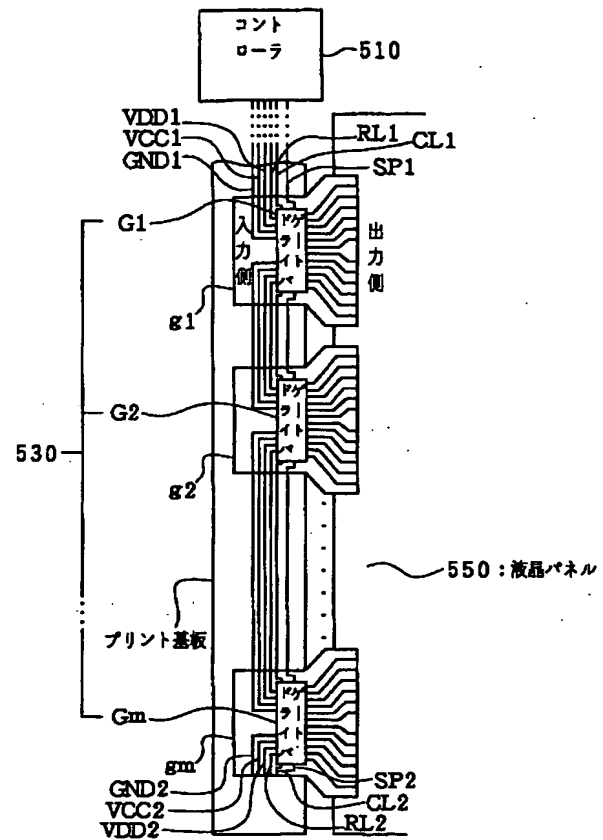
【図 19】



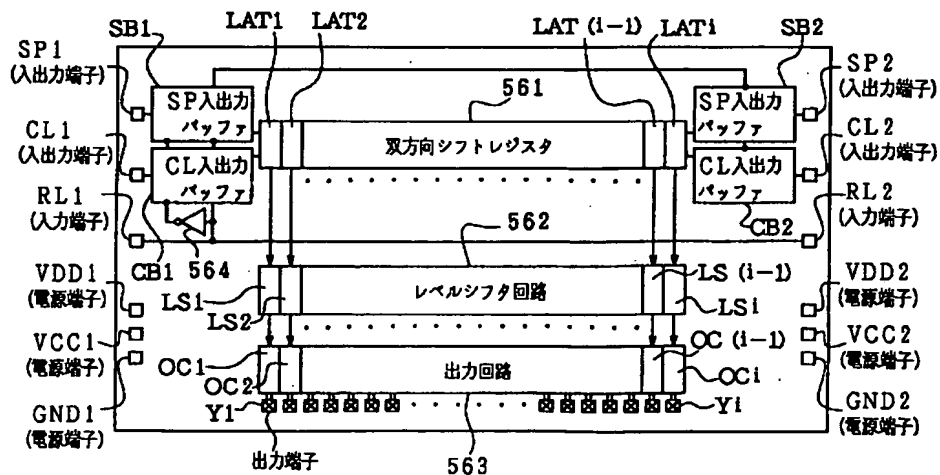
【図20】



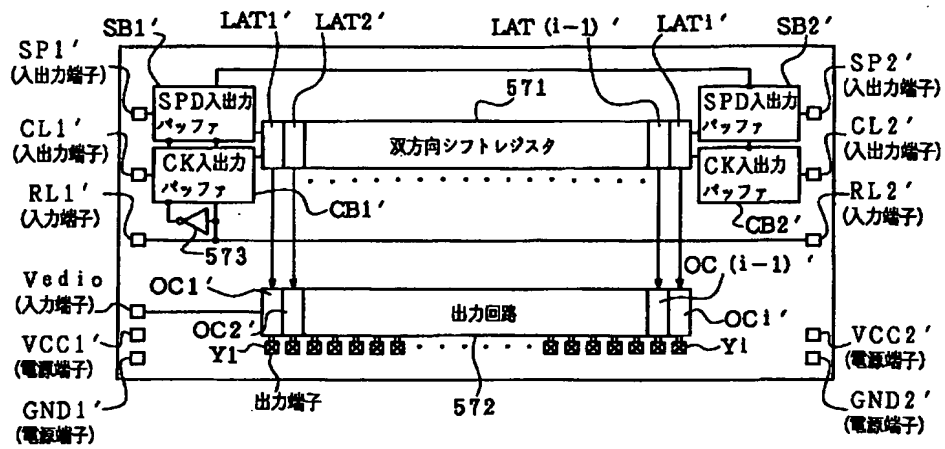
【図21】



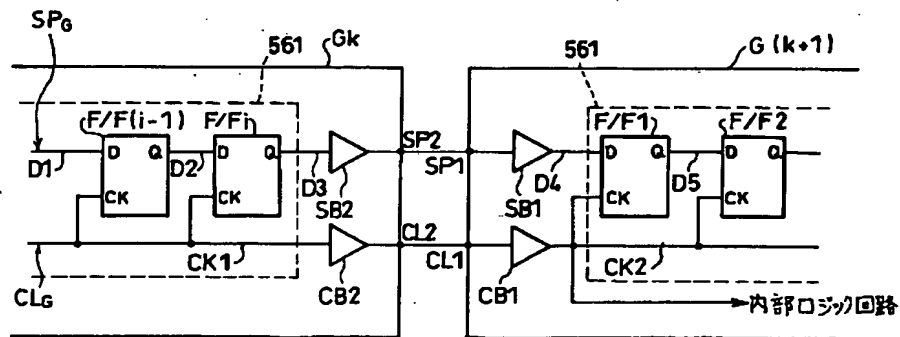
【図22】



【図23】



【図24】



【図25】

